

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
013159489 **Image available**

WPI Acc No: 2000-331362/200029

XRAM Acc No: C00-100458

XRPX Acc No: N00-249556

Semiconductor device e.g., electroluminescent display includes a circuit composed of thin film transistors having gate electrodes which overlap with lightly doped drain regions

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: ADACHI H; YAMAZAKI S

Number of Countries: 026 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1001467	A2	20000517	EP 99122343	A	19991109	200029 B
JP 2000216396	A	20000804	JP 99317714	A	19991109	200042

Priority Applications (No Type Date): JP 98344893 A 19981117; JP 98318197 A 19981109

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 1001467	A2	E	69	H01L-027/12	

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT

LI LT LU LV MC MK NL PT RO SE SI

JP 2000216396 A 40 H01L-029/786

Abstract (Basic): EP 1001467 A2

NOVELTY - The semiconductor device includes thin film transistors having gate electrodes which overlap with lightly doped drain regions. **DETAILED DESCRIPTION** - A semiconductor device has a complementary metal oxide silicon (CMOS) circuit comprising an n-channel thin film transistor (TFT) and a p-channel TFT. The semiconductor device comprises: (i) n-channel and p-channel TFTs, each gate electrode of these transistors having a first conductive layer (111, 112, 113, 115, 116, 117) in contact with a gate insulating film (103), and a second conductive layer (114, 118) in contact with both the first conductive layer and the gate insulator film; (ii) a semiconductor layer of the n-channel TFT comprising a first channel formation region, a first impurity region (105) in contact with the first channel formation region, and a second impurity region (106, 107) in contact with the first impurity region; (iii) a semiconductor layer of the p-channel TFT comprising a second channel formation region and a third impurity region (109, 110, 130, 131) in contact with the second channel formation region. The first impurity region of the n-channel TFT completely overlaps the second conductive layer. The third impurity region of the p-channel TFT partially overlaps the second conductive layer.

USE - The semiconductor device is a display device using an organic electroluminescence material. The semiconductor device is incorporated into electronic equipment selected from a personal computer, a video camera, a portable information terminal, a digital camera, a digital versatile disk player, a goggle type display, an electronic game machine, and a projector (claimed).

ADVANTAGE - TFT has high reliability.

DESCRIPTION OF DRAWING(S) - The diagram shows a sectional view of a TFT. Substrate (101) Base film (102) Gate insulating film (103) First impurity region (105) Second impurity regions (106, 107) First conductive layers (111, 112, 113, 115, 116, 117) Second conductive layers (114, 118) Third impurity region (109, 110, 130, 131) pp: 69 DwgNo 1/39

Title Terms: SEMICONDUCTOR; DEVICE: ELECTROLUMINESCENT; DISPLAY; CIRCUIT; COMPOSE; THIN; FILM; TRANSISTOR; GATE; ELECTRODE; OVERLAP; LIGHT; DOPE; DRAIN; REGION, Derwent Class: L03; P81; P85; U11; U12; U13; U14, International Patent Class (Main): H01L-027/12; H01L-029/786, International Patent Class (Additional): G02F-001/365; G09F-009/30; H01L-021/336; H01L-021/84, File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

06630582 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: **2000-216396** [JP 2000216396 A]
PUBLISHED: August 04, 2000 (20000804)
INVENTOR(s): YAMAZAKI SHUNPEI
 ADACHI HIROKI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 11-317714 [JP 99317714]
FILED: November 09, 1999 (19991109)
PRIORITY: 10-318197 [JP 98318197], JP (Japan), November 09, 1998 (19981109)
 10-344893 [JP 98344893], JP (Japan), November 17, 1998 (19981117)
INTL CLASS: H01L-029/786; G02F-001/1365; G09F-009/30; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To provide a technique for manufacturing a crystalline TFT of a structure which a gate electrode and an LDD region are overlapped, by a simple method.

SOLUTION: In an n-channel TFT, a structure in which an LDD region is overlapped with a gate electrode is formed. For this purpose, a process wherein the gate electrode is formed of a first conductive layer and a second conductive layer, an impurity element which gives a first n-type is added after the first conductive layer is formed, a first impurity region to be used as the LDD region is formed and an impurity element, which gives a second n-type is added after the second conductive layer is formed, is performed. A second impurity region, which is used as a source region and a drain, is formed. In this manner, a structure in which the LDD region is overlapped with the gate electrode is realized. In addition, in order to form the LDD region which does not overlap with the gate electrode, it is sufficient to remove a part of the second conductive layer.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-216396
(P2000-216396A)

(43) 公開日 平成12年8月4日 (2000. 8. 4)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 29/786
G 0 2 F 1/1365
G 0 9 F 9/30
H 0 1 L 21/336

3 6 5

H 0 1 L 29/78
G 0 9 F 9/30
G 0 2 F 1/136
H 0 1 L 29/78

6 1 3 A
3 6 5 Z
5 0 0
6 1 6 A
6 1 7 N

審査請求 未請求 請求項の数29 O L (全 40 頁)

(21) 出願番号

特願平11-317714

(22) 出願日

平成11年11月9日 (1999. 11. 9)

(31) 優先権主張番号

特願平10-318197

(32) 優先日

平成10年11月9日 (1998. 11. 9)

(33) 優先権主張国

日本 (J P)

(31) 優先権主張番号

特願平10-344893

(32) 優先日

平成10年11月17日 (1998. 11. 17)

(33) 優先権主張国

日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 安達 広樹

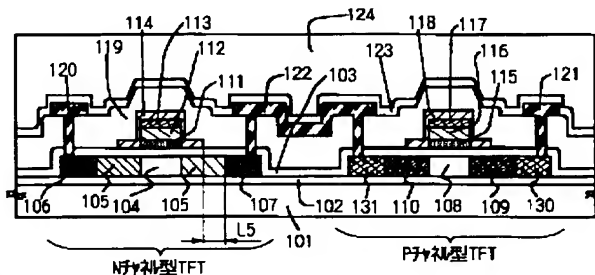
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 本発明の第1の目的は、従来技術よりも簡便な方法で、ゲート電極とLDD領域とをオーバーラップさせた構造の結晶質TFTを作製する技術を提供することを目的としている。

【解決手段】 nチャネル型TFTにおいてLDD領域がゲート電極と重なる構造とする。そのために、ゲート電極を第1の導電層と第2の導電層とから形成し、第1の導電層を形成した後で1回目のn型を付与する不純物元素を添加してLDD領域とする第1の不純物領域を形成し、第2の導電層を形成した後で2回目のn型を付与する不純物元素を添加する工程を行い、ソース領域とド레인領域とする第2の不純物領域を形成するものである。このようにして、LDD領域がゲート電極と重なる構造を実現する。さらに、ゲート電極と重ならないLDD領域を設けるためには第2の導電層の一部を除去すれば良い。



101:基板、102:下地膜、103:ゲート絶縁膜、104、108:リフト形成領域、
105:第1の不純物領域、106、107:第2の不純物領域、
109、110:第3の不純物領域、130、131:第3の不純物領域、
111、115:導電層(A)、112、116:導電層(B)、113、117:導電層(C)、
114、118:第2の導電層、119:第1の層間絶縁膜、120、121:ソース配線、
122:ド레인配線、123:パッシベーション膜、124:第2の層間絶縁膜

【特許請求の範囲】

【請求項1】 nチャネル型TFTとpチャネル型TFTで形成されたCMOS回路を含む半導体装置において、前記nチャネル型TFTと前記pチャネル型TFTのゲート電極は、

ゲート絶縁膜に接して形成された第1の導電層と、該第1の導電層と該ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記nチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域とを有し、

前記pチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第3の不純物領域を有し、

前記nチャネル型TFTの前記第1の不純物領域は、前記第2の導電層と全てが重なるように設けられ、

前記pチャネル型TFTの前記第3の不純物領域は、前記第2の導電層と一部が重なって設けられていることを特徴とする半導体装置。

【請求項2】 画素マトリクス回路の画素TFTと、nチャネル型TFTとpチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記画素TFTと、前記CMOS回路のnチャネル型TFTとpチャネル型TFTのゲート電極は、

ゲート絶縁膜に接して形成された第1の導電層と、該第1の導電層と該ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記画素TFTと前記nチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域とを有し、

前記pチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第3の不純物領域を有し、

前記画素TFTと前記nチャネル型TFTの前記第1の不純物領域は、前記第2の導電層と全てが重なるように設けられ、

前記pチャネル型TFTの前記第3の不純物領域は、前記第2の導電層と一部が重なって設けられていることを特徴とする半導体装置。

【請求項3】 nチャネル型TFTとpチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記nチャネル型TFTと前記pチャネル型TFTのゲート電極は、

ゲート絶縁膜に接して形成された第1の導電層と、該第1の導電層と該ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記nチャネル型TFTの半導体層は、チャネル形成領

域と、該チャネル形成領域に接して形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域とを有し、

前記pチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第3の不純物領域を有し、

前記nチャネル型TFTの前記第1の不純物領域の一部は、前記第2の導電層と一部が重なるように設けられ、

前記pチャネル型TFTの前記第3の不純物領域は、前記第2の導電層と一部が重なって設けられていることを特徴とする半導体装置。

【請求項4】 画素マトリクス回路の画素TFTと、nチャネル型TFTとpチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記画素TFTと、前記CMOS回路のnチャネル型TFTとpチャネル型TFTのゲート電極は、

ゲート絶縁膜に接して形成された第1の導電層と、該第1の導電層と該ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記画素TFTと前記nチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して

形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域とを有し、

前記pチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第3の不純物領域を有し、

前記画素TFTと前記nチャネル型TFTの前記第1の不純物領域の一部は、前記第2の導電層と一部が重なって設けられ、

前記pチャネル型TFTの前記第3の不純物領域の一部は、前記第2の導電層の一部と重なって設けられていることを特徴とする半導体装置。

【請求項5】 一つの画素に、2つのnチャネル型TFTを有する半導体装置において、

前記2つのnチャネル型TFTのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、該第1の導電層と該ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記2つのnチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域とを有し、

前記2つのnチャネル型TFTの前記第1の不純物領域の一部は、前記第2の導電層と一部が重なって設けられていることを特徴とする半導体装置。

【請求項6】 請求項5において、少なくとも一つのnチャネル型TFTはマルチゲート構造を有することを特徴とする半導体装置。

【請求項7】 請求項5において、前記他方のnチャネル型TFTには、発光層を有する素子が接続されているこ

とを特徴とする半導体装置。

【請求項8】一つの画素に、nチャネル型TFTとpチャネル型TFTとを有する半導体装置において、前記nチャネル型TFTとpチャネル型TFTとのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、該第1の導電層と該ゲート絶縁膜とに接して形成された第2の導電層とを有し、前記nチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域とを有し、前記第1の不純物領域の一部は、前記第2の導電層と一部が重なって設けられ、前記pチャネル型TFTの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第3の不純物領域を有し、前記第3の不純物領域の一部は、前記第2の導電層の一部と重なって設けられていることを特徴とする半導体装置。

【請求項9】請求項8において、前記nチャネル型薄膜トランジスタはマルチゲート構造を有することを特徴とする半導体装置。

【請求項10】請求項8において、前記pチャネル型TFTには、発光層を有する素子が接続されていることを特徴とする半導体装置。

【請求項11】請求項1乃至請求項10のいずれか一項において、前記第1の不純物領域におけるn型を付与する不純物元素の濃度が、 $1 < 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項12】請求項1乃至請求項11のいずれか一項において、前記第2の不純物領域に接して設けられ、前記第1の不純物領域と同じ濃度で不純物元素を含む半導体層と、前記ゲート絶縁膜と同じ層で形成された絶縁層と、該絶縁層上に形成された容量配線とから保持容量が形成されていることを特徴とする半導体装置。

【請求項13】請求項1乃至請求項11のいずれか一項において、前記第2の不純物領域に接して設けられ、前記第3の不純物領域と同じ濃度で不純物元素を含む半導体層と、前記ゲート絶縁膜と同じ層で形成された絶縁層と、該絶縁層上に形成された容量配線とから保持容量が形成されていることを特徴とする半導体装置。

【請求項14】請求項1乃至請求項13のいずれか一項において、前記nチャネル型TFTおよびpチャネル型TFTの前記第1の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた一種または複数種の元素、あるいは該元素を成分とする材料で形成されていることを特徴とする半導体装置。

【請求項15】請求項1乃至請求項13のいずれか一項において、

前記nチャネル型TFTおよびpチャネル型TFTの前記第1の導電層は、一層または複数の層から形成されることを特徴とする半導体装置。

【請求項16】請求項1乃至請求項13のいずれか一項において、

前記nチャネル型TFTおよびpチャネル型TFTの前記第1の導電層は、前記ゲート絶縁膜に接して形成され、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた一種または複数種の元素、あるいは該元素を主成分とする材料から形成される導電層(A)と、

前記導電層(A)の上に形成され、アルミニウム(Al)、銅(Cu)から選ばれた一種または複数種の元素、あるいは該元素を成分とする材料で形成される導電層(B)とを少なくとも有することを特徴とする半導体装置。

【請求項17】請求項1乃至請求項13のいずれか一項において、

前記第2の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた一種または複数種の元素、あるいは該元素を成分とする材料から形成されることを特徴とする半導体装置。

【請求項18】請求項1乃至請求項17のいずれか一項において、

前記半導体装置は、有機エレクトロルミネッセンス材料を用いた表示装置であることを特徴とする半導体装置。

【請求項19】請求項1乃至請求項17のいずれか一項において、

前記半導体装置は、携帯電話、パーソナルコンピュータ、ヒデスカメラ、携帯型情報端末、デジタルカメラ、プログラムを記録した記録媒体を用いるプレーヤー、コーグル型ディスプレイ、電子書籍、プロジェクターから選ばれたいずれか一つであることを特徴とする半導体装置。

【請求項20】絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、

前記第1の半導体層と第2の半導体層とに接してゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜に接して前記第1の半導体層と第2の半導体層上に第1の導電層を形成する第3の工程と、

前記第1の半導体層の前記第1の導電層と重ならない領域に、周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、

前記第2の半導体層の前記第1の導電層と重ならない領域のみに周期律表13族に属する元素を添加して第3の不純物領域を形成する第5の工程と、

前記第1の導電層と前記ゲート絶縁膜とに接する第2の

導電層を形成する第6の工程と、

前記第1の半導体層の前記第2の導電層と重ならない領域に、周期律表15族に属する元素を添加して第2の不純物領域を形成する第7の工程とを有することを特徴とする半導体装置の作製方法。

【請求項21】絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、前記第1の半導体層と第2の半導体層とに接してゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜に接して前記第1の半導体層と第2の半導体層上に第1の導電層を形成する第3の工程と、前記第1の半導体層の前記第1の導電層と重ならない領域に、周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、前記第2の半導体層の前記第1の導電層と重ならない領域のみに周期律表13族に属する元素を添加して第3の不純物領域を形成する第5の工程と、前記第1の導電層と前記ゲート絶縁膜とに接する第2の導電層を形成する第6の工程と、前記第1の半導体層の前記第2の導電層と重ならない領域に、周期律表15族に属する元素を添加して第2の不純物領域を形成する第7の工程と、前記第2の導電層の一部を除去する第8の工程とを有することを特徴とする半導体装置の作製方法。

【請求項22】請求項20または請求項21において、前記第2の不純物領域から延在した半導体層上に、前記第1の導電層と該第1の導電層に接する前記第2の導電層とから容量配線を形成する工程と、前記第2の不純物領域から延在した半導体層に、前記第1の不純物領域と同じ濃度で周期律表15族に属する元素を添加する工程とから保持容量を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項23】請求項20または請求項21において、前記第2の不純物領域から延在した半導体層上に、前記第1の導電層と該第1の導電層に接する前記第2の導電層とから容量配線を形成する工程と、前記第2の不純物領域から延在した半導体層に、前記第1の不純物領域と同じ濃度で周期律表13族に属する元素を添加する工程とから保持容量を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項24】請求項20または請求項21において、前記第1の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、から選ばれた一種または複数種の元素、あるいは該元素を成分とする材料で形成することを特徴とする半導体装置の作製方法。

【請求項25】請求項20または請求項21において、前記第1の導電層は、前記ゲート絶縁膜に接して形成され、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた一種または複

数種の元素、あるいは該元素を主成分とする材料で導電層(A)を形成する工程と、

前記導電層(A)上にアルミニウム(Al)、銅(Cu)から選ばれた一種または複数種の元素、あるいは該元素を成分とする材料から成る導電層(B)を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項26】請求項20または請求項21において、前記第2の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、から選ばれた一種または複数種の元素、あるいは該元素を成分とする合金材料で形成することを特徴とする半導体装置の作製方法。

【請求項27】請求項20または請求項21において、前記第1の不純物領域に $1 \cdot 10^{16} \sim 5 \cdot 10^{19} \text{ atoms/cm}^3$ で周期律表15族に属する元素を添加することを特徴とする半導体装置の作製方法。

【請求項28】請求項20乃至請求項27のいずれか一項において、前記半導体装置は、有機エレクトロルミネッセンス材料を用いた表示装置であることを特徴とする半導体装置の作製方法。

【請求項29】請求項20乃至請求項27のいずれか一項において、前記半導体装置は、携帯電話、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、プログラムを記録した記録媒体を用いるプレーヤー、ゴーグル型ディスプレイ、電子書籍、プロジェクターから選ばれたいずれか一つであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は絶縁表面を有する基板上に薄膜トランジスタで構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置に代表される電気光学装置および電気光学装置を搭載した電子機器の構成に関する。なお、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器を範疇に含んでいる。

【0002】

【従来の技術】薄膜トランジスタ(以下、TFTと記す)は透明ガラス基板上に作製することができるので、アクティブマトリクス型液晶表示装置への応用開発が積極的に進められてきた。結晶構造を有する半導体膜を活性層にしたTFT(以下、結晶質TFTと記す)は高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能になった。

【0003】本願明細書において、前記結晶構造を有する半導体膜とは、単結晶半導体、多結晶半導体、微結晶

半導体を含み、さらに、特開平7-130652号公報、特開平8-78329号公報、特開平10-135468号公報、または特開平10-135469号公報で開示された半導体を含んでいる。

【0004】アクティブマトリクス型液晶表示装置を構成するためには、画素マトリクス回路だけでも100~200万個の結晶質TFTが必要であり、さらに周辺に設けられる機能回路を付加するとそれ以上の数の結晶質TFTが必要であった。そして、液晶表示装置を安定に動作させるためには、個々の結晶質TFTの信頼性を確保しておく必要があった。

【0005】TFTなどの電界効果トランジスタの特性は、ドレイン電流とドレイン電圧が比例して増加する線形領域と、ドレイン電圧が増加してもドレイン電流が飽和する飽和領域と、ドレイン電圧を印加しても理想的には電流が流れない遮断領域とに分けて考えることができる。本明細書では、線形領域と飽和領域をTFTのオン領域と呼び、遮断領域をオフ領域と呼ぶ。また、便宜上、オン領域のドレイン電流をオン電流と呼びオフ領域の電流をオフ電流と呼ぶ。

【0006】アクティブマトリクス型液晶表示装置の画素マトリクス回路はnチャネル型TFT（以下、これを画素TFTと記す）で構成されていて、振幅15~20V程度のゲート電圧が印加されるので、オン領域とオフ領域の両方の特性を満足する必要があった。一方、画素領域の両方の特性を満足するために設けられる周辺回路はマトリクス回路を駆動するために設けられる周辺回路はCMOS回路を基本として構成され、主にオン領域の特性が重要であった。しかし、結晶質TFTはオフ電流が上がりやすいという問題点があった。また、結晶質TFTを長期間駆動させると移動度やオン電流の低下、オフ電流の増加といった劣化現象がしばしば観測された。この原因の一つは、ドレイン近傍の高電界が原因で発生するホットキャリア注入現象にあると考えられた。

【0007】LSIの技術分野ではMOSトランジスタのオフ電流を下げ、さらにドレイン近傍の高電界を緩和する方法として、低濃度ドレイン（LDD lightly Doped Drain）構造が知られている。この構造は、ドレイン領域とチャネル形成領域の間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。

【0008】同様に結晶質TFTでもLDD構造を形成することは知られていた。従来の技術では、ゲート電極をマスクとして、第1の不純物元素の添加工程によりLDD領域となる低濃度不純物領域を形成しておき、その後異方性エッチングの技術を利用してゲート電極の両側にサイドウォールを形成し、ゲート電極とサイドウォールをマスクとして第2の不純物元素の添加工程によりソース領域とドレイン領域となる高濃度不純物領域を形成する方法である。

【0009】しかし、LDD構造は通常の構造のTFT

と比べて、オフ電流を下げることはできても、構造的に直列抵抗成分が増えてしまうため、結果としてTFTのオン電流も低下させてしまう欠点があった。また、オン電流の劣化を完全に防ぐことはできなかった。この欠点を補う方法として、LDD領域をゲート絶縁膜を介してゲート電極とオーバーラップさせる構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD（Gate-drain Overlapped LDD）や、LATD（Large-tilt-angle implanted drain）として知られている。このような構造とすることで、ドレイン近傍の高電界を緩和してホットキャリア耐性を高め、同時にオン電流の低下を防ぐことができた。

【0010】また、結晶質TFTにおいても、ソース領域とドレイン領域とチャネル領域のみから形成された単純な構成の結晶質TFTに比べ、LDD構造を設けることによりホットキャリア耐性が向上し、さらにGOLD構造を採用するときわめて優れた効果が得られることが確認されていた（「A Novel Self-aligned Gate-overlapped LDD Poly-Si TFT with High Reliability and Performance」, Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97-523）。

【0011】

【発明が解決しようとする課題】結晶質TFTにおいて、ホットキャリア注入現象を抑止するためにLDD構造を形成することは有効な手段であり、さらにGOLD構造にすると、LDD構造で見られたオン電流の低下を防ぐことができる。そして、信頼性の面からも良好な結果が得られている。

【0012】このように、結晶質TFTで高い信頼性を達成するためには素子の構造面からの検討が必要であり、そのために、GOLD構造を形成することが望ましかった。しかし、従来の方法では、自己整合的にLDD領域を形成することができず、サイドウォール膜を異方性エッチングで形成する工程は、液晶表示装置のように大面積のガラス基板を処理するには不向きであった。また、サイドウォールの幅でLDD領域の長さが決まるので、素子の設計上の自由度もきわめて限定されるものであった。

【0013】本願発明の第1の目的は、このような問題を克服するための技術を提供するものであり、従来技術よりも簡便な方法で、ゲート電極とLDD領域とをオーバーラップさせた構造の結晶質TFTを作製する技術を提供することを目的としている。

【0014】GOLD構造はオン電流の劣化を防ぐことができるが、特に画素マトリクス回路を構成するnチャネル型TFTのように、オフ領域で高いゲート電圧が印加されるとき、オフ電流が増加してしまう場合がある。画素マトリクス回路の画素TFTでオフ電流が増加すると、消費電力が増えたり、画像表示に異常が現れたりする不都合が生じる。これはオフ領域で、ゲート電極とオ

オーバーラップさせて形成されたLDD領域に反転層が形成され、ホールの通路を作ってしまうためであると考えられる。このような場合、TFTの動作範囲は狭く限られたものになってしまう。

【0015】本願発明の第2の目的は、ゲート電極とLDD領域とをオーバーラップさせた構造の結晶質TFTにおいて、その動作範囲を広げることができるように、オフ電流の増加を防止する構造およびその作製方法を提供することを第2の目的としている。

【0016】

【課題を解決するための手段】図17は、これまでの知見を基にして、TFTの構造とそのとき得られる V_{gs} — I_d （ゲート電圧—ドレイン電流）特性を模式的に示したものである。図17（A-1）は、半導体層がチャネル形成領域と、ソース領域と、ドレイン領域とから成る最も単純なTFTの構造である。同図（B-1）はこのTFTの特性であり、 $+V_{gs}$ 側がTFTのオン領域、 $-V_{gs}$ 側はオフ領域である。そして、実線は初期特性を示し、破線はホットキャリア注入現象による劣化の特性を示している。この構造ではオン電流とオフ電流が共に高く、また、劣化も大きいので、例えば、画素マトリクス回路の画素TFTなどにはこのままでは使用できなかった。

【0017】図17（A-2）は、（A-1）にLDD領域となる低濃度不純物領域が設けられた構造であり、ゲート電極とオーバーラップしないLDD構造である。同図（B-2）はこのTFTの特性であり、オフ電流をある程度抑えることができるが、オン電流の劣化を防ぐことはできなかった。また、図17（A-3）は、LDD領域がゲート電極と完全にオーバーラップした構造で、GOLD構造とも呼ばれるものである。同図（B-3）はこれに対応する特性で、劣化を問題ない程度にまで抑えることはできるが、 $-V_{gs}$ 側で（A-2）の構造よりもオフ電流が増加している。

【0018】一方、図17（A-4）の構造は、同図（B-4）に示すように劣化を防ぎ、オフ電流の増加も抑えることができる構造である。これは、LDD領域をゲート電極とオーバーラップする領域と、オーバーラップしない領域の2つの領域に分けたものであり、ゲート電極とオーバーラップしたLDD領域でホットキャリア注入現象を抑止して、かつ、ゲート電極とオーバーラップしないLDD領域でオフ電流の増加を防ぐ効果を兼ね備えたものである。

【0019】本願発明は、図17（A-3）若しくは（A-4）のような構造のTFTを実現するために、nチャネル型TFTにおいてLDD領域がゲート電極と重なる構造とする。そのために、ゲート電極を第1の導電層と第2の導電層とから形成し、第1の導電層を形成した後で1回目のn型を付与する不純物元素を添加してLDD領域とする第1の不純物領域を形成し、第2の導電

層を形成した後で2回目のn型を付与する不純物元素を添加する工程を行い、ソース領域とドレイン領域とする第2の不純物領域を形成するものである。このようにして、LDD領域がゲート電極と重なる構造を実現する。さらに、ゲート電極と重ならないLDD領域を設けるためには第2の導電層の一部を除去すれば良い。

【0020】一方、pチャネル型TFTも同様にゲート電極を第1の導電層と第2の導電層とから形成するが、ソース領域およびドレイン領域とする第3の不純物領域の一部がゲート電極と重なる構造とする。

【0021】第1の導電層は、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、から選ばれた一種または複数種の元素、あるいは該元素を成分とする材料で形成する。その構成において、少なくとも、前記材料から成りゲート絶縁膜に接して形成される導電層（A）と、導電層（A）上にアルミニウム（Al）、銅（Cu）から選ばれた一種または複数種の元素、あるいは該元素を成分とする材料から成る導電層（B）で形成することは好ましい形態である。

【0022】第2の導電層は、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）から選ばれた一種または複数種の元素、あるいは該元素を成分とする合金材料で形成する。

【0023】また、画素マトリクス回路の構成において、画素TFTの第2の不純物領域に接して設けられ、第1の不純物領域と同じ濃度で不純物元素を含む半導体層と、ゲート絶縁膜と同じ層で形成された絶縁層と、該絶縁層上に形成された容量配線とから保持容量を形成する。或いは、画素TFTの第2の不純物領域に接して設けられ、第3の不純物領域と同じ濃度で不純物元素を含む半導体層と、前記ゲート絶縁膜と同じ層で形成された絶縁層と、該絶縁層上に形成された容量配線とから保持容量を形成する。

【0024】

【発明の実施の形態】【実施形態1】本願発明の実施の形態について図28を用いて説明する。基板301は絶縁表面を有する基板である。例えば、酸化珪素膜を設けた、ガラス基板、ステンレス基板、プラスチック基板、セラミックス基板、シリコン基板を用いることができる。またその他に石英基板を用いても良い。

【0025】基板301上に形成する半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成する非晶質半導体膜を、レーザーアニール法や熱アニール法で結晶化した、結晶質半導体膜で形成することが望ましい。または、前記成膜法で形成される微結晶半導体を用いることも可能である。ここで適用できる半導体材料は、シリコン、ゲルマニウム、またシリコンとゲルマニウム合金、炭化シリコンであり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0026】或いは、基板301上に形成する半導体層は、単結晶シリコン層を形成したSOI (Silicon On Insulators) 基板としても良い。SOI基板にはその構造や作製方法によっていくつかの種類が知られているが、代表的には、SIMOX (Separation by Implanted Oxygen)、ELTRAN (Epitaxial Layer Transfer: キャノン社の登録商標) 基板、Smart-Cut (SOITEC社の登録商標) などを使用することができる。勿論、その他のSOI基板を使用することも可能である。

【0027】図28は基板301上に形成した、nチャネル型及びpチャネル型TFTの断面構造を示している。nチャネル型TFT及びpチャネル型TFTのゲート電極は、第1の導電層と第2の導電層とから成っている。第1の導電層はゲート絶縁膜312に接して設けられた導電層(A)313、316と、前記導電層(A)313、316に接して設けられた導電層(B)314、317とから成っている。そして、第2の導電層315、318は、第1の導電層の導電層(A)313、316と第導電層(B)314、317と、ゲート絶縁膜312に接して設けられている。

【0028】第1の導電層を構成する導電層(A)313、316は、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、タングステン(W)など元素か、これらの元素を成分とする材料で形成する。また、導電層(B)314、317は抵抗率の低いアルミニウム(A1)や銅(Cu)を用いれば良い。ここで導電層(B)は、液晶表示装置のような大面積の基板に本願発明のTFTを形成することを考慮したものであり、ゲート電極およびゲート配線の抵抗を低くする目的で設けている。従って、用途によっては、第1の導電層を導電層(A)のみで形成しても良いし、導電層(B)の上にさらに他の導電層を積層しても良い。

【0029】第2の導電層315、318は、第1の導電層と接し、第1の導電層上からゲート絶縁膜312上に延在するように形成する。図31に示すように第1の導電層と第2の導電層のチャネル長方向の長さをそれぞれL1、L2とすると、 $L1 < L2$ の関係が保たれていれば良く、本願発明を実施するに当たってその長さは適宜設定すれば良い。しかし、次に述べるように、第1の導電層と第2の導電層はTFTの製造工程において、半導体層に不純物を添加してソース領域やドレイン領域およびLDD領域を形成するためのマスクとして機能するので、その点を考慮してL1、L2の値を決める必要がある。

【0030】nチャネル型TFTの半導体層は、チャネル形成領域302と、チャネル形成領域の両側に接して設けられる第1の不純物領域303、304と、第1の不純物領域303に接して設けるソース領域305と、第1の不純物領域304に接して設けるドレイン領域306とから成っている。第1の不純物領域303、304は、ゲート絶縁膜312を介して、第2の導電層315がゲート絶縁膜と接している領域に重なって設ける。

【0031】第1の不純物領域303、304のチャネル長方向の長さは、 $0.5 \sim 3 \mu\text{m}$ 、代表的には $1.5 \mu\text{m}$ の長さを有し、n型を付与する不純物元素の濃度が $1 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ 、代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ である。また、ソース領域305とドレイン領域306の不純物濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ 、代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ とする。

【0032】チャネル形成領域302には、あらかじめ $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でボロンを添加しても良い。このボロンはしきい値電圧を制御するために添加するものであり、同様の効果が得られるものであれば他の元素で代用することもできる。

【0033】一方、pチャネル型TFTの第1の不純物領域308、309、ソース領域310とドレイン領域311とは、同じ濃度でp型を付与する不純物元素を添加する。そして、nチャネル型TFTのソース領域305とドレイン領域306に添加する不純物濃度の $1.5 \sim 3$ 倍の濃度でp型を付与する不純物元素を添加する。

【0034】以上示したように本願発明はTFTの構造において、ゲート電極を第1の導電層と、その上に第2の導電層を設けるものであり、図28で示すようにゲート絶縁膜と第2の導電層との間に位置する第1の導電層は、その端部が第2の導電層の端部よりも内側に形成されている。そして、半導体層に設けられた第1の不純物領域と、第2の導電層が重なって設けられている構造に特長があり、その作製方法に特長がある。

【0035】図28に示すTFTは、特にnチャネル型TFTにおいて、いわゆるLDD領域として機能する第1の低濃度不純物領域303、304が、ゲート絶縁膜を介してゲート電極と重なって設けられた構造となっているので、MOSトランジスタのGOLD構造やLATID構造の如き利点を得ることが可能である。

【0036】一方、pチャネル型TFTはこうしたLDD構造となる低濃度不純物領域は設けないものとする。勿論、低濃度不純物領域を設ける構造としても良いが、pチャネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFTとの特性バランスをとった方が好ましい。本願発明を図28に示すようにCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本願発明の構造をpチャネル型TFTに適用しても何ら問題はない。

【0037】こうしてnチャネル型TFTおよびpチャネル型TFTが完成したら、第1の層間絶縁膜319で覆い、ソース領域305、311、ドレイン領域306、310と接触するソース電極320、322とドレイン電極321とを設ける。図28の構造では、これら

を設けた後でパッシベーション膜323として窒化シリコン膜を設けている。さらに樹脂材料でなる第2の層間絶縁膜324を設ける。第2の層間絶縁膜は、樹脂材料に限定される必要はないが、例えば、液晶表示装置に適用する場合には、表面の平坦性を確保するために樹脂材料を用いることが好ましい。

【0038】図28では、nチャネル型TFTとpチャネル型TFTとを相補的組み合わせで成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素マトリクス回路に本願発明を適用することもできる。

【0039】[実施形態2]本願発明の実施の形態について図1を用いて説明する。基板101は絶縁表面を有するものである。例えば、ガラス基板やプラスチック基板の他に、表面に絶縁膜を設けたステンレス基板、セラミックス基板、シリコン基板を用いることができる。またその他に石英基板を用いても良い。

【0040】そして、基板101のTFTが形成される表面には、下地膜102が形成されている。下地膜102は酸化シリコン膜や窒化シリコン膜または酸化窒化シリコン膜などで形成され、基板101から不純物が半導体層へ拡散することを防ぐために設けている。

【0041】前記下地膜102上に形成する半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体膜を、レーザー結晶化法や熱処理による固相成長法で結晶化した、結晶質半導体で形成することが望ましい。また、前記成膜法で形成される微結晶半導体を用いることも可能である。ここで適用できる半導体材料は、シリコン、ゲルマニウム、またシリコンゲルマニウム合金、炭化シリコン合金であり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。その他に実施形態1と同様にSOI基板を用いても良い。

【0042】図1では、nチャネル型TFTとpチャネル型TFTの断面構造を示している。nチャネル型TFTおよびpチャネル型TFTのゲート電極は、第1の導電層と第2の導電層とから成っている。第1の導電層は3層構造となっており、ゲート絶縁膜103に接して設けられた導電層(A)111、115と、その上に積層された、導電層(B)112、116と、導電層(C)113、117から成っている。そして、第2の導電層114、118は、前記第1の導電層と、前記ゲート絶縁膜103に接して設けられている。

【0043】第1の導電層を構成する導電層(A)111、115はTi、Ta、Mo、Wなど元素か、これらの元素を主成分とする合金材料で形成する。或いは、これらの元素の窒化物、酸化物、シリサイドで形成しても良い。また、導電層(B)112、116は抵抗率の低いAlやCuを用いることが望ましい。また導電層

(C)113、117は導電層(A)と同様にTi、T

a、Mo、W、など元素か、これらの元素を主成分とする合金材料で形成する。ここで導電層(B)は、液晶表示装置のような大面積の基板に本願発明のTFTを形成することを考慮して、ゲート電極およびゲート電極に接続するゲート配線の抵抗を低くする目的で設けるものである。用途によっては、第1の導電層を導電層(A)のみで形成しても良く、また3層以上積層させても構わない。

【0044】第2の導電層114、118は、前記第1の導電層と電気的に導通していて、かつ、ゲート絶縁膜103に接して設けられている。ここで、図16で示すように、第2の導電層はチャネル長方向に対し、最初L3の長さで形成され、その後エッチング処理によりL5の長さだけ除去して最後にL2の長さにされる。従って、第1の導電層をL1とすると、第2の導電層がゲート絶縁膜に延在する長さはL4で表すことができる。

【0045】ここで、本願発明において、第1の導電層の長さL1は0.2~10 μ m、好ましくは0.4~5 μ m、第2の導電層の長さL2は1.2~16 μ m、好ましくは2.2~11 μ mの長さで形成することが望ましい。ここで、第2の導電層を除去する長さL5は0.5~3 μ m、好ましくは1.0~2.0 μ mとしている。

【0046】第1の導電層と第2の導電層は、1回目の一導電層の不純物元素を添加する工程と2回目の一導電層の不純物元素を添加する工程でマスクとして機能するものであり、その点を考慮してL1とL3、および、L2とL5の長さを決める必要がある。nチャネル型TFTのLDD領域の長さは、このL3とL1の差分の長さで形成される。そして、第2の導電層をあらかじめL3の長さで形成しておき、その後エッチング処理によりL5の長さだけ除去して、L2の長さとするのは、本願発明の構成を得るために、LDD領域となる第1の不純物領域105が、ゲート絶縁膜を介して第2の導電層と重なる領域をL4の長さで、重ならない領域をL5の長さで設けるためである。

【0047】図1において、nチャネル型TFTの半導体層は、チャネル形成領域104と、前記チャネル形成領域の両側に接して設けられた第1の不純物領域105と、前記第1の不純物領域105に接して設けられた第2の不純物領域106、107とから形成されている。この第2の不純物領域106はソース領域として機能し、第2の不純物領域107はドレイン領域として機能するものである。第1の不純物領域105は、ゲート絶縁膜103を介して、第2の導電層114がゲート絶縁膜と接している領域に重なって設けられている。

【0048】図16のL6に相当する第1の不純物領域105の長さは、1.0~6 μ m、好ましくは2.0~4 μ m、(例えば3 μ m)の長さを有し、n型を付与する不純物元素の濃度が $1 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm

3、代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ で添加されている。そして、第1の不純物領域が第2の導電層と重ならない長さL5は前述の如く $0.5 \sim 3 \mu\text{m}$ 、好ましくは $1.0 \sim 2 \mu\text{m}$ とする。また、ソース領域105とドレイン領域106の不純物濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ 、代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ とすれば良い。

【0049】この時、チャネル形成領域104には、あらかじめ $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でボロンが添加されても良い。このボロンはしきい値電圧を制御するために添加されるものであり、同様の効果が得られるものであれば他の元素で代用することもできる。

【0050】一方、pチャネル型TFTの第3の不純物領域109、110、130、131は、ソース領域とドレイン領域とを形成するものである。そして、第3の不純物領域130、131にはn型を付与する不純物元素がnチャネル型TFTのソース領域106とドレイン領域107と同じ濃度で含まれているが、その $1.5 \sim 3$ 倍の濃度でp型を付与する不純物元素が添加されている。

【0051】以上示したように本願発明のTFTは、ゲート電極を第1の導電層と、第2の導電層とを設けた構造を有し、図1で示すように第2の導電層は、第1の導電層とゲート絶縁膜とに接して設けられている。そして、少なくともnチャネル型TFTにおいて、第1の不純物領域の一部は、第2の導電層のゲート絶縁膜に接している領域と重なって設けられている構造に特徴がある。

【0052】図1で示された構造は、第1の導電層をマスクとして、LDD領域となる第1の不純物領域を形成し、第2の導電層をマスクとしてソース領域とドレイン領域となる第2の不純物領域を形成した後で、エッチング処理により第2の導電層を後退させることにより実現できる。従って、図16で示されたようにLDD領域の長さは、第1の導電層の長さL1と第2の導電層の長さL3で決まり、LDD領域が第2の導電層と重ならない長さは、第2の導電層をエッチングする長さL5で決めることができる。このような方法は、TFTの設計上または製作上において自由度を広げることが可能となり、非常に有効である。

【0053】一方、pチャネル型TFTには第3の不純物領域109、110、130、131が形成され、LDD構造となる領域は設けないものとする。第3の不純物領域は、ソース領域109、130とドレイン領域110、131を形成する。そして、ソース領域109とドレイン領域110の一部が第2の導電層とオーバーラップしている。勿論、本願発明のLDD構造を設けても良いが、pチャネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFTとの特性バランスをとった方が好ましい。本願発明を図1に示すよう

にCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本願発明の構造をpチャネル型TFTに適用しても何ら問題はない。

【0054】こうしてnチャネル型TFTおよびpチャネル型TFTが完成したら、第1の層間絶縁膜119を覆い、ソース電極120、121ドレイン電極122を設ける。図1の構造では、これらを設けた後でパッシベーション膜123として窒化シリコン膜を設けている。さらに樹脂材料でなる第2の層間絶縁膜124が設けられている。第2の層間絶縁膜は、樹脂材料に限定される必要はないが、例えば、液晶表示装置に適用する場合には、表面の平坦性を確保するために樹脂材料を用いることが好ましい。

【0055】図1では、nチャネル型TFTとpチャネル型TFTとを相補的組み合わせで成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMO S回路や、液晶表示装置の画素マトリクス回路に本願発明を適用することもできる。

【0056】以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0057】[実施例1]本実施例では、本願発明の構成を液晶表示装置に適用した例を示し、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について、図29と図30を用いて説明する。

【0058】図29(A)において、基板401には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いる。そして、基板401のTFTが形成される表面に、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜などで形成する下地膜402を200nmの厚さに形成する。

【0059】次に、この下地膜402の上に50nmの厚さで、非晶質シリコン膜をプラズマCVD法で形成する。非晶質シリコン膜の含有水素量にもよるが、好ましくは400～500℃に加熱して脱水素処理を行い、非晶質シリコン膜の含有水素量をatomic%以下として、結晶化の工程を行い結晶質シリコン膜を得る。

【0060】この結晶化の工程は、レーザーアニール法または熱アニール法の技術を用いれば良い。本実施例では、ハルス発振型のKrfエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜を形成する。

【0061】ここで用いたレーザーアニール装置の構成を図32に示す。レーザー発振装置3201から照射され、反射ミラー3202で方向を変えられ、光学系3203により光路が変更されたハルス状レーザービームを、ミラー3207で反射させ、シリンドリカルレンズを用いた光学系3208にて集光させて、非晶質シリコン膜が形成されている基板3209に照射する機能を有している。レーザー発振装置3201はXeClエキシ

マレーザーやKrFエキシマレーザーを用いれば良い。基板3209はステージ3205上に設置されている。

【0062】尚、本実施例では非晶質シリコン膜から結晶質シリコン膜を形成したが、微結晶シリコン膜をレーザアニール法で結晶化させても構わないし、直接結晶質シリコン膜を成膜しても良い。

【0063】こうして形成した結晶質シリコン膜をパターニングして、島状の半導体層403、404、405を形成する。

【0064】次に、半導体層403、404、405を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜406を形成する。ここではプラズマCVD法で酸化窒化シリコン膜を100nmの厚さに形成する。そして、図では説明しないが、ゲート絶縁膜406の表面に第1の導電層を構成する。第1の導電層は、導電層(A)としてTaを10~200nm、例えば50nmさらに導電層(B)としてAlを100~1000nm、例えば200nmの厚さでスパッタ法で形成する。そして、公知のパターニング技術により、第1の導電層を構成する導電層(A)407、408、409、410と、導電層(B)の412、413、414、415を形成する。このとき、図31で示した第1の導電層の長さL1は3 μ mとなるようにパターニングする。

【0065】第1の導電層を構成する導電層(B)として、Alを用いる場合には、純Alを用いても良いし、Ti、Si、Scから選ばれた元素が0.1~5atomic%添加されたAl合金を用いても良い。またCuを用いる場合には、図示しないが、ゲート絶縁膜406の表面に窒化シリコン膜を設けておくとも好ましい。

【0066】また、図29では画素マトリクス回路の画素TFTのドレイン側に保持容量を設ける構造となっている。このとき、第1の導電層と同じ材料で容量配線411、416を形成する。

【0067】こうして図29(A)に示す構造を形成したら、1回目のn型を付与する不純物元素を添加する工程を行う。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、フォスフィン(PH₃)を用いたイオンドープ法でリンを添加する。この工程では、ゲート絶縁膜406を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定する。また、こうして形成された不純物領域は、後に示すnチャネル型TFTの第1の不純物領域134、442を形成するもので、LDD領域として機能するものである。従ってこの領域のリンの濃度は、 $1 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の範囲にするのが好ましく、本実施例では 1×10^{18} atoms/cm³とする。

【0068】半導体層中に添加された前記不純物元素は、レーザアニール法や、熱アニール法により活性化

させる必要がある。この工程は、ソース領域およびドレイン領域を形成する不純物元素の添加工程のあと実施しても良いが、この段階でレーザアニール法により活性化させることは効果的である。

【0069】この工程で、第1の導電層を構成する導電層(A)407、408、409、410と導電層

(B)412、413、414、415は、リンの添加に対してマスクとして機能する。その結果ゲート絶縁膜を介して存在する半導体層の第1の導電層の真下の領域には、まったく、あるいは殆どリンが添加されない。そして、図29(B)に示すように、リンが添加された不純物領域417、418、419、420、421、422、423が形成される。本明細書ではこの不純物領域を第1の不純物領域と呼ぶ。

【0070】次にフォトリソistをマスクとして、nチャネル型TFTを形成する領域をレジストマスク424、425で覆って、pチャネル型TFTが形成される領域のみに、p型を付与する不純物元素の添加工程を行う。p型を付与する不純物元素としては、ボロン

(B)、アルミニウム(Al)、ガリウム(Ga)が知られているが、本実施例ではイオンドープ法でジボラン(B₂H₆)を用いてボロン(B)を添加する。ここでも加速電圧を80keVとして、 2×10^{20} atoms/cm³の濃度にボロンを添加する。そして、図29(C)に示すようにボロン(B)が高濃度に添加された領域426、427を形成する。本明細書ではこの領域を第3の不純物領域と呼び、後にpチャネル型TFTのソース領域およびドレイン領域とする。

【0071】そして、レジストマスク424、425を除去した後、第2の導電層を形成する工程を行う。ここでは、第2の導電層の材料にTaを用い、100~1000nm、例えば200nmの厚さに形成する。そして、公知の技術によりパターニングを行い、第2の導電層428、429、430、431を形成する。この時、図31で示した第2の導電層の長さL2は6 μ mとなるようにパターニングする。結果として、第2の導電層は、第1の導電層の両側にそれぞれ1.5 μ mの長さでゲート絶縁膜と接する領域が形成される。

【0072】また、画素マトリクス回路の画素TFTのドレイン側に保持容量を設けるが、この保持容量の配線432は第2の導電層と同時に形成する。

【0073】そして、第2の導電層428、429、430、431をマスクとして、2回目のn型を付与する不純物元素を添加する工程を行う。フォスフィン(PH₃)を用いたイオンドープ法で行い、ゲート絶縁膜406を通してその下の半導体層にリン(P)を添加するために、加速電圧は80keVと高めに設定する。そして、ここでリン(P)が添加される領域は、nチャネル型TFTでソース領域435、443およびドレイン領域434、444、447として機能させるため、この

領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atmos/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{atmos/cm}^3$ とする(図29(D))。

【0074】また、ここで図示はしないが、ソース領域435、443およびドレイン領域436、444、447を覆うゲート絶縁膜を除去して、その領域の半導体層を露出させて直接リンを添加しても良い。この処理によりイオンドープ法の加速電圧を10keVまで下げることができ、また、効率良くリンを添加することができる。

【0075】また、pチャネル型TFTのソース領域439とドレイン領域440にも同じ濃度でリンが添加されるが、前の工程でその2倍の濃度でボロンが添加されているため導電型は反転せず、pチャネル型TFTの動作上何ら問題はない。

【0076】それぞれの濃度で添加されたn型またはp型を付与する不純物元素は、このままでは活性化せず有効に作用しないので、活性化の工程を行う必要がある。この工程は電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビットサーマルアニール法(RTA法)で行うことができる。

【0077】熱アニール法では、窒素雰囲気中において550℃、2時間の加熱処理をして活性化を行う。本実施例では、第1の導電層を構成する導電層(B)にAlを用いたが、Taで形成した導電層(A)と第2の導電層がAlを覆って形成されているため、Taがブロッキング層として機能して、Al原子が他の領域に拡散することを防ぐことができる。また、レーザーアニール法では、図32と同じ構成の装置で、パルス発振型のKrFエキシマレーザー光を線状に集光して照射することにより活性化を行う。また、レーザーアニール法を実施した後、熱アニール法を実施すると、さらに良い結果が得られる。またこの工程は、イオンドープングによって結晶性が破壊された領域をアニールする効果も兼ね備えていて、その領域の結晶性を改善することもできる。

【0078】以上までの工程で、ゲート電極を第1の導電層と、その第1の導電層を覆って第2の導電層が設けられ、nチャネル型TFTでは、第2の導電層の両側にソース領域とドレイン領域が形成される。また、ゲート絶縁膜を介して半導体層に設けられた第1の不純物領域が、第2の導電層のゲート絶縁膜に接している領域と重なって設けられた構造が自己整合的に形成される。一方、pチャネル型TFTでは、ソース領域とドレイン領域の一部が第2の導電層とオーバーラップして形成されているが、実使用上何ら問題はない。

【0079】図29(D)の状態が得られたら、第1の層間絶縁膜449を1000nmの厚さに形成する。第1の層間絶縁膜449としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜、および

それらの積層膜を用いることができる。本実施例では、図示しないが、最初に窒化シリコン膜を50nm形成し、さらに酸化シリコン膜を950nm形成した2層構造とする。

【0080】第1の層間絶縁膜449は、バターニング処理でそれぞれのTFTのソース領域とドレイン領域に達するコンタクトホールを形成する。そして、ソース配線450、452、453とドレイン配線451、454を形成する。図示していないが、本実施例ではこの電極をTi膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して積層させた3層構造の膜をバターニングして形成する。

【0081】こうして図29(E)に示すように、基板401上にCMOS回路と、画素マトリクス回路が形成される。画素マトリクス回路のnチャネル型TFTのドレイン側には、保持容量が同時に形成される。以上のようにして、アクティブマトリクス基板を作製することができる。

【0082】次に、図30を用いて、以上の工程によって同一の基板に作製されたCMOS回路と、画素マトリクス回路をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。最初に、図29(E)の状態の基板に対して、ソース配線450、452、453とドレイン配線451、454と、第1の層間絶縁膜449を覆ってパッシベーション膜455を形成する。パッシベーション膜455は、窒化珪素膜で50nmの厚さで形成する。さらに、有機樹脂からなる第2の層間絶縁膜456を約1000nmの厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機性樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機性樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する(図30(A))。

【0083】次に、第2の層間絶縁膜456の画素領域の一部に、遮光層457を形成する。遮光層457は金属膜や顔料を含ませた有機樹脂膜で形成すれば良いものである。ここでは、Ti膜をスパッタ法で形成して遮光膜とする。

【0084】遮光膜457を形成したら、第3の層間絶縁膜458を形成する。この第3の層間絶縁膜458は、第2の層間絶縁膜456と同様に、有機樹脂膜を用いて形成すると良い。そして、第2の層間絶縁膜456と第3の層間絶縁膜458とにドレイン配線454に達するコンタクトホールを形成し、画素電極459を形成する。画素電極459は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶

表示装置とするために、酸化インジウム・スズ (ITO) 膜を100 nmの厚さにスパッタ法で形成し、画素電極459を形成する。

【0085】透明導電膜の材料のエッチング処理は塩酸系の溶液により行う。しかし、ITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3\text{—ZnO}$) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOと比較して熱安定性にも優れているという特徴をもつ。同様に、酸化亜鉛 (ZnO) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 (ZnO:Ga) などを用いることができる。

【0086】図30(A)の状態が形成されたら、配向膜460を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板471には、透明導電膜472と、配向膜473とを形成する。配向膜はその後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにする。

【0087】上記の工程を経て、画素マトリクス回路とCMOS回路が形成された基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ (共に図示せず) などを介して貼り合わせる。その後、両基板の間に液晶材料474を注入し、封止剤 (図示せず) によって完全に封止する。よって図30(B)に示すアクティブマトリクス型液晶表示装置が完成する。

【0088】【実施例2】本実施例では、本願発明の構成を、画素マトリクス回路とその周辺に設ける駆動回路の基本形態であるCMOS回路を同時に作製する方法として説明する。

【0089】図2において、基板201には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いる。そして、基板201のTFTを形成する表面に、下地膜202を形成する。下地膜202は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜などを用いる。

【0090】下地膜202は上記材料の1層で形成しても良いし、2層以上の積層構造としても良い。いずれにしてもその厚さが100～300nm程度になるように形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される第1の酸化窒化シリコン膜を10～100nmの厚さに形成し、 SiH_4 、 N_2O から作製される第2の酸化窒化シリコン膜を100～200nmの厚さに積層形成した2層構造として下地膜102を形成する。

【0091】第1の酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜は、 SiH_4 を10SCCM、 NH_3 を100SCCM、 N_2O を20SCCMとして反応室に導入し、基板温度32

5℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。一方、第2の酸化窒化シリコン膜は、 SiH_4 を4SCCM、 N_2O を100SCCM、として反応室に導入し、基板温度400℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。また、第1の酸化窒化シリコン膜は基板を中心に考えて、その内部応力が引張り応力となるように形成する。第2の酸化窒化シリコン膜も同様な方向に内部応力を持たせるが、第1の酸化窒化シリコン膜よりも絶対値で比較して小さい応力となるようにする。

【0092】次に、この下地膜202の上に30～80nm、例えば50nmの厚さで、非晶質シリコン膜をプラズマCVD法で形成する。その後、非晶質シリコン膜は含有水素量にもよるが、好ましくは400～500℃に加熱して脱水素処理を行い、含有水素量を5atomic %以下として、結晶化の工程を行うことが望ましい。

【0093】非晶質シリコン膜を結晶化する工程は、レーザーアニール法や熱アニール法により行う。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜とする。

【0094】尚、本実施例では非晶質シリコン膜を用いたが、微結晶シリコン膜を用いても構わないし、直接結晶質シリコン膜を成膜しても良い。

【0095】こうして形成された結晶質シリコン膜をパターンニングして、島状の半導体層204、205、206を形成する。

【0096】次に、半導体層204、205、206を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜203を形成する。例えば、プラズマCVD法で酸化窒化シリコン膜を100nmの厚さに形成する。そして、図では説明しないが、ゲート絶縁膜203の表面にゲート電極の第1の導電層を構成する、導電層(A)としてTa膜を10～200nm、例えば50nmの厚さに、さらに導電層(B)としてAl膜を100～1000nm、例えば200nmの厚さでスパッタ法により形成した。そして、公知のパターンニング技術により、第1の導電層を構成する導電層(A)207、208、209、210と、導電層(B)212、213、214、215を形成する。このとき、図16で示した第1の導電層の長さL1は適宜決めれば良く、2～10μm、ここでは3μmの長さでパターンニングする (図2(A))。

【0097】第1の導電層を構成する導電層(B)として、Alを用いる場合には、純Alを用いても良いし、Ti、Si、Scから選ばれた元素が0.1～5atomic %添加されたAl合金を用いても良い。銅を用いる場合には、図示しないが、ゲート絶縁膜203の表面に窒化

シリコン膜を30~100nmの厚さで設けておく为好ましい。

【0098】導電層(A)207、208、209、210にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができ、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きである。しかし、TaN膜はα相に近い結晶構造を持つので、この上にTa膜を形成すればα相のTa膜が容易に得られる。従って、図示しないが導電層(A)207、208、209、210の下に10~50nmの厚さでTaN膜を形成しておいても良い。同様に図示しないが、導電層

(A)の下に2~20nm程度の厚さでリン(P)をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層

(B)が微量に含有するアルカリ金属元素がゲート絶縁膜203に拡散するのを防ぐことができる。いずれにしても、導電層(A)は抵抗率を10~50μΩcmの範囲ですることが好ましい。

【0099】その他に、導電層(A)207、208、209、210にW膜を用いることも可能であり、その場合はWをターゲットとしたスパッタ法で、アルゴン

(Ar)ガスと窒素(N₂)ガスを導入して導電層

(A)をW膜で200nmの厚さに形成する。また、W膜を六フッ化タングステン(WF₆)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができる。

【0100】また、図2では画素マトリクス回路の画素TFTのドレイン側に保持容量を設ける構造となっている。このとき、第1の導電層と同じ材料で保持容量の配線211、216を形成する。

【0101】こうして図2(A)に示す構造を形成した後、1回目のn型を付与する不純物元素を添加する工程を行い、第1の不純物領域を形成する。結晶質半導体材料に対してn型を付与する不純物元素としては、リン

(P)、砒素(As)、アンチモン(Sb)などが知られているが、例えば、リンを用い、フォスフィン(PH

3)を用いたイオンドーピング法で行う。この工程では、ゲート絶縁膜203を通してその下の半導体層にリンを添加するために、加速電圧を80keVと高めに設定した。こうして形成する第1の不純物領域は、後に示すnチャネル型TFTの第1の不純物領域229、236、240を形成するもので、LDD領域として機能するものである。従ってこの領域のリンの濃度は、 $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした(図2(B))。

【0102】半導体層中に添加された前記不純物元素は、レーザーアニール法や、熱アニール法により活性化させる必要がある。この工程は、ソース領域およびドレイン領域を形成する不純物元素を添加する工程のあと実施しても良いが、この段階でレーザーアニール法により活性化させることは有効である。

【0103】この工程で、第1の導電層を構成する導電層(A)207、208、209、210と導電層

(B)212、213、214、215は、リンの添加に対してマスクとして機能する。その結果、半導体層の第1の導電層と重なる領域には、まったく、あるいは殆どリンは添加されていない。ここでは、図2(B)に示すように、リンが添加された第1の不純物領域28、219、220、221、222を形成する。

【0104】次にフォトリソ膜をマスクとして、nチャネル型TFTを形成する領域をレジストマスク225、226で覆って、pチャネル型TFTが形成される領域のみに、p型を付与する不純物添加の工程を行う。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、が知られている。ここではボロンをその不純物元素とし、ジボラン

(B₂H₆)を用いてイオンドーピング法で半導体層に添加する。加速電圧は80keVとして、 $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加する。そして、図2(C)に示すようにボロンが高濃度に添加された第3の不純物領域227、228を形成する。この第3の不純物領域は後にpチャネル型TFTのソース領域、ドレイン領域領域となる(図2(C))。

【0105】そして、レジストマスク225、226を除去した後、第2の導電層を形成する工程を行う。その材料にTaを用い、100~1000nm(例えば、200nm)の厚さに形成する。そして、公知の技術によりパターニングを行い、第2の導電層243、244、245、246を形成する。この時、図16で示すように第2の導電層のチャネル長方向の長さL3は1.3~20μm、例えば9μmとなるようにパターニングする。結果として、第2の導電層は、第1の導電層の両側にそれぞれ3μmの長さでゲート絶縁膜と接する領域(L6)が形成される。

【0106】また、画素マトリクス回路を構成するnチャネル型TFT(画素TFT)のドレイン側に保持容量

が設けられるが、この保持容量の電極247は第2の導電層と同時に形成する。

【0107】そして、第2の導電層243、244、245、246をマスクとして、2回目のn型を付与する不純物元素を添加する工程を行い、第2の不純物領域を形成する。このとき図3(A)に示す様に、第2の導電層をパターニングするときに設けたレジストマスク283、284、285、286、287をそのまま残しておいても良い。不純物元素の添加は、フォスフィン(PH₃)を用いたイオンドーピング法で行った。この工程でも、ゲート絶縁膜203を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。そして、ここで形成される第2の不純物領域は、nチャネル型TFTのソース領域230、237、およびドレイン領域231、238、241として機能させるため、この領域のリンの濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、本実施例では $1 \times 10^{20} \text{ atoms/cm}^3$ とした(図3(A))。

【0108】また、ここで図示はしないが、ソース領域230、237、289およびドレイン領域231、238、241、288を覆うゲート絶縁膜を除去して、その領域の半導体層を露出させ、直接リンを添加しても良い。この工程を加えると、イオンドーピング法の加速電圧を10keVまで下げることができ、また、効率良くリンを添加することができる。

【0109】また、pチャネル型TFTの第3の不純物領域の一部288、289にも同じ濃度でリンが添加されるが、その2倍の濃度でボロンが添加されているため、導電型は反転せず、pチャネル型TFTの動作上何ら問題はない。そして、pチャネル型TFTでは、第3の不純物領域234、289、233、288によって、ソース領域が234、289で形成され、ドレイン領域が233、288で形成される。このとき、ソース領域234と、ドレイン領域233とは、第2の導電層244とオーバーラップして形成される。

【0110】図3(A)の状態が得られたら、レジストマスク283、284、285、286、287は除去して、再度フォトリソ膜を形成し、裏面からの露光によってレジストマスクを形成する。このとき図3

(B)に示すように、第1および第2の導電層をマスクとして自己整合的にレジストマスク248、249、250、256、257を形成する。裏面からの露光は、直接光と散乱光を利用して行うもので、オーバー露光とすることで、図3(B)のようにレジストマスクを第2の導電層の内側に設けることができる。

【0111】そして、第2の導電層のマスクされていない領域をエッチングして除去する。エッチングは通常のドライエッチング技術を用いればよく、CF₄とO₂ガスを用いて行う。そして、図3(C)に示すように、L5の長さだけ除去する。L5の長さは0.5～3μmの範

囲で適宜調整すれば良く、ここでは1.5μmとした。その結果、nチャネル型TFTにおいて、LDD領域となる第1の不純物領域の長さ3μmの内、1.5μm(L4)の長さで第2の導電層と重なる領域が形成され、1.5μm(L5)の長さで第2の導電層と重ならない領域を形成することができた。

【0112】それぞれの濃度で添加されたn型またはp型を付与する不純物元素は、このままでは活性化せず有効に作用しないので、活性化の工程を行う必要がある。この工程は、電気加熱を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビットサーマルアニール法(RTA法)で行うことができる。

【0113】熱アニール法では、窒素雰囲気中において300～700℃、好ましくは350～550℃、例えば450℃、2時間の加熱処理をして活性化を行う。本実施例では、第1の導電層を構成する導電膜(A)にA1を用いる構造とし、Taで形成される導電膜(A)と第2の導電層がA1を覆って形成されているため、Taがブロッキング層として機能して、A1原子が他の領域に拡散することを防ぐことができる。また、レーザーアニール法では、パルス発振型のKRFエキシマレーザー光を線状に集光して照射することにより活性化が行われる。また、レーザーアニール法を実施した後に熱アニール法を実施すると、さらに良い結果が得られる。この工程は、イオンドーピング法によって結晶性が破壊された領域をアニールする効果も兼ね備えていて、その領域の結晶性を改善することもできる。

【0114】以上の工程で、ゲート電極を第1の導電層と、その第1の導電層に接して第2の導電層が設けられ、半導体層204、206にはLDD領域となる第1の不純物領域と、ソース領域とドレイン領域となる第2の不純物領域が形成される。そして、第1の不純物領域は、ゲート絶縁膜を介して第2の導電層と重なる領域と重ならない領域が形成される。一方、pチャネル型TFTでは、チャネル形成領域と、ソース領域とドレイン領域とが形成される。

【0115】図3(B)までの工程が終了したら、レジストマスク248、249、250、256、257を除去して、第1の層間絶縁膜263を500～1500nmの厚さに形成する。第1の層間絶縁膜263としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜、およびそれらの積層膜を用いることができる。本実施例では、図示しないが、最初に窒化シリコン膜を50nm形成し、さらに酸化シリコン膜を950nm形成した2層構造とする。或いは、SiH₄とN₂Oとから作製する酸化窒化シリコン膜で1000nmの厚さに形成しても良い。

【0116】第1の層間絶縁膜263にはその後、それぞれの半導体層のソース領域と、ドレイン領域に達する

コンタクトホールを形成する。そして、ソース配線264、265、266、とドレイン配線267、268を形成する。図示していないが、本実施例ではこの配線を3層構造とし、Ti膜100nm、Tiを含むAl膜300nm、Ti膜150nmの厚さでスパッタ法で連続して形成する。

【0117】そして、ソース電極264、265、266とドレイン電極267、268と、第1の層間絶縁膜263を覆ってパッシベーション膜269を形成する。パッシベーション膜269は、窒化シリコン膜で50nmの厚さで形成する。さらに、有機樹脂からなる第2の層間絶縁膜270を約1000nmの厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0118】こうして図3(C)に示すように、基板201上にCMOS回路と、画素マトリクス回路の画素TFTが形成されたアクティブマトリクス基板が作製される。また、画素マトリクス回路の画素TFTのドレイン側には、保持容量が同時に形成される。

【0119】[実施例3]本実施例では、実施例1と同じ工程で図3(A)に示す状態得た後、他の方法で第2の導電層の一部を除去して、第1の不純物領域が第2の導電層と重なる領域と重ならない領域とを形成する例を示す。

【0120】まず、図3(A)に示すように、第2の導電層のパターニング工程で使用したレジストマスク283、284、285、286、287をそのまま使用して、エッチングにより、第2の導電層の一部を図4(A)に示すようにL5の長さだけ除去する。

【0121】この工程は、ドライエッチングで行うことができる。第2の導電層の材料にもよるが、基本的にはフッ素(F)系ガスを用いることにより等方性エッチングが進み、レジストマスクの下にある第2の導電層材料を除去することができる。例えば、Taの場合にはCF₄ガスで可能であり、Tiの場合にはCF₄やCCl₄ガスで可能であり、Moの場合にはSF₆やNF₃で可能である。

【0122】そして、図4(A)に示すように、L5の長さだけ、ここでは1.5μm除去する。その結果、nチャネル型TFTにおいて、LDD領域となる第1の不純物領域は3μmの長さ(L6)で形成されており、

1.5μmの長さ(L4)で第2の導電層と重なる領域が形成され、1.5μmの長さ(L5)で第2のゲート電極と重ならない領域を形成することができる。

【0123】そしてレジストマスク283、284、285、286、287を除去して、実施例1と同様に活性化の工程を行い、第1の層間絶縁膜263、ソース配線264、265、266、ドレイン配線267、268、パッシベーション膜269、第2の層間絶縁膜270を形成して、図4(B)に示すアクティブマトリクス基板を形成することができる。

【0124】[実施例4]本実施例では、実施例1～3および実施例5で形成されるアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0125】図3(C)または図4(B)の状態のアクティブマトリクス基板に対して、第2の層間絶縁膜270にドレイン電極268に達するコンタクトホールを形成し、画素電極271を形成する。画素電極271は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成し、画素電極271を形成する。

【0126】図5(A)の状態を形成したら、配向膜272を第2の層間絶縁膜270と画素電極271上に形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板273には、透明導電膜274と、配向膜275とを形成する。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにする。

【0127】上記の工程を経て、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを公知のセル組み工程により、シール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料276を注入し、封止剤(図示せず)によって完全に封止する。よって図5(B)に示すアクティブマトリクス型液晶表示装置が完成する。

【0128】次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図7と図8を用いて説明する。図7は本実施例のアクティブマトリクス基板の斜視図である。アクティブマトリクス基板は、ガラス基板201上に形成された画素マトリクス回路701と、走査(ゲート)線側駆動回路702と、データ(ソース)線側駆動回路703で構成される。画素マトリクス回路の画素TFT700はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査(ゲート)線側駆動回路702と、データ(ソース)線側駆動回路703はそれぞれゲート配線802とソース配線803で画素マトリクス回路701に接続されている。

【0129】図8(A)は画素マトリクス回路701の上面図であり、ほぼ1画素の上面図である。画素マトリ

クス回路には画素TFTが設けられている。ゲート配線802に連続して形成されるゲート電極820は、図示されていないゲート絶縁膜を介してその下の半導体層801と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、第1の不純物領域が形成されている。また、画素TFTのドレイン側には、半導体層と、ゲート絶縁膜と、第1及び第2の導電層と同じ材料で形成された容量配線821とから、保持容量807が形成されている。また、図8(A)で示すA-A'に沿った断面構造は、図3(C)または図4(C)に示す画素マトリクス回路の画素TFTの断面図に対応している。

【0130】一方、図8(B)に示すCMOS回路では、ゲート配線815から延在するゲート電極813、814が、図示されていないゲート絶縁膜を介してその下の半導体層810、812とそれぞれ交差している。図示はしていないが、同様にnチャネル型TFTの半導体層810には、ソース領域、ドレイン領域、第1の不純物領域が形成されている。また、pチャネル型TFTの半導体層812にはソース領域とドレイン領域が形成されている。そして、B-B'に沿った断面構造は、図3(C)または図4(C)に示す画素マトリクス回路の断面図に対応している。

【0131】本実施例では、画素TFT700をダブルゲートの構造としているが、シングルゲートの構造でも良いし、トリプルゲートとしたマルチゲート構造にしても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

【0132】[実施例5]本実施例は、実施例2と同じ工程であるが、画素マトリクス回路の画素TFTとCMOS回路のnチャネル型TFTおよびpチャネル型TFTの、第2の導電層の構造が異なる一例を示す。このとき、図6(A)に示すように、第2の導電層290、291は、第1の導電層に接して、各TFTのドレイン側にのみ延在した形態となっている。CMOS回路において、nチャネル型TFTの第2の導電層をこのような形状としてもTFTのドレイン側に形成される高電界領域を緩和することができる。一方、画素TFTの第2の導電層292、293および容量配線294は実施例1と同様に形成する。

【0133】本実施例の工程は、基本的に実施例2で示す工程に従えば良く、第2の導電層の形状はパターニングの工程で使用するフォトリソマスクを変更するだけで、他の工程は何ら変更する必要はない。しかし、nチャネル型TFTの第1の不純物領域は、ドレイン領域側のみに形成される。

【0134】そして、図6(B)に示すように、レジストマスク223、224、225、226、227は除去して、再度フォトリソ膜を形成し、裏面からの露光によってパターニングする。このとき図6(B)に示すように、第1および第2の導電層をマスクとして自己整合的にレジストマスク248、249、250、256、257が形成される。裏面からの露光は、直接光と散乱光を利用して行うもので、オーバー露光とすることで、図6(B)のようにレジストマスクを第2の導電層の内側に設けることができる。

【0135】そして、第2の導電層のマスクされていない領域をエッチングして除去する。エッチングは通常のドライエッチング技術を用いればよく、 CF_4 と O_2 ガスを用いて行う。そして、図6(C)に示すように、L5の長さだけ除去する。L5の長さは0.5~3 μm の範囲で適宜調整すれば良く、ここでは1.5 μm とする。その結果、nチャネル型TFTにおいて、LDD領域となる第1の不純物領域の長さ3 μm の内、1.5 μm (L4)の長さで第2の導電層と重なる領域が形成され、1.5 μm (L5)の長さで第2のゲート電極と重ならない領域を形成することができる。以降の工程は、実施例1と同様に行うことで、図6(C)に示すアクティブマトリクス基板が形成される。

【0136】[実施例6]本実施例では、実施形態1、2および実施例1、2、3、5において半導体層として用いる結晶質半導体膜を、触媒元素を用いた熱アニール法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0137】ここで、特開平7-130652号公報に開示されている技術を本願発明に適用する場合の例を図9に示す。まず基板901に酸化シリコン膜902を設け、その上に非晶質シリコン膜903を形成した。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層904を形成する(図9(A))。

【0138】次に、500℃、1時間の脱水素工程の後、500~650℃で4~12時間、例えば550℃、8時間の熱処理を行い、結晶質シリコン膜905を形成する。こうして得られた結晶質シリコン膜905は非常に優れた結晶性を有している(図9(B))。

【0139】また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本願発明に適用した場合について図10で説明する。

【0140】まず、ガラス基板1001に酸化シリコン膜1002を設け、その上に非晶質シリコン膜1003、酸化シリコン膜1004を連続的に形成する。この時、酸化シリコン膜1004の厚さは150nmとす

る。

【0141】次に酸化シリコン膜1004をパターニングして、選択的に開孔部1005を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層1006が形成され、ニッケル含有層1006は開孔部1005の底部のみで非晶質シリコン膜1002と接触している(図10(A))。

【0142】次に、500～650℃で4～24時間、例えば570℃、14時間の熱処理を行い、結晶質シリコン膜1007を形成する。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜1007は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある(図10(B))。

【0143】尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、といった元素を用いても良い。

【0144】以上のような技術を用いて結晶質半導体膜(結晶質シリコン膜や結晶質シリコンゲルマニウム膜などを含む)を形成し、パターニングを行えば、結晶質TFTの半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製されたTFTは、優れた特性が得られるが、そのため高い信頼性を要求されている。しかしながら、本願発明のTFT構造を採用することで、本実施例の技術を最大限に生かしたTFTを作製することが可能となる。

【0145】[実施例7]本実施例は、実施形態1、2および実施例1、2、3、5で用いられる半導体層を形成する方法として、非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-247735、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いる。

【0146】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³にまで低減することができる。

【0147】本実施例の構成について図11を用いて説明する。ガラス基板1101はコーニング社の1737基板に代表される無アルカリガラス基板を用いている。図11(A)では、実施例5で示した結晶化の技術を用

いて、下地1102、結晶質シリコン膜1103が形成された状態を示している。そして、結晶質シリコン膜1103の表面にマスク用の酸化シリコン膜1104が150nmの厚さに形成され、パターニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けている。そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域1105が設け

る。【0148】この状態で、窒素雰囲気中で550～800℃、5～24時間、例えば600℃、12時間の熱処理を行うと、結晶質シリコン膜にリンが添加された領域1105がゲッタリングサイトとして働き、結晶質シリコン膜1103に残存していた触媒元素はリンが添加された領域1105に偏析させることができる。

【0149】そして、マスク用の酸化シリコン膜1104と、リンが添加された領域1105とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度が 1×10^{17} atoms/cm³以下にまで低減された結晶質シリコン膜を得ることができる。この結晶質シリコン膜はそのまま実施例1、2、4で示した本願発明のTFTの半導体層として使用することができる。

【0150】[実施例8]本実施例では、実施形態1、2および実施例1、2、3、5で示した本願発明のTFTを作製する工程において、半導体層とゲート絶縁膜を形成する他の実施例を示す。そして、本実施例の構成を図12で説明する。

【0151】ここでは、少なくとも700～1100℃程度の耐熱性を有する基板が必要であり、石英基板1201を用いる。そして実施例5で示した技術を用い、結晶質半導体を形成する。これをTFTの半導体層とするために、島状にパターニングして半導体層1202、1203を形成する。そして、半導体層1202、1203を覆って、ゲート絶縁膜1204を酸化シリコンを主成分とする膜で形成した。本実施例では、プラズマCVD法で酸化窒化シリコン膜を70nmの厚さで形成する(図12(A))。

【0152】そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行う。本実施例では、950℃、30分とする。尚、処理温度は700～1100℃の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良い(図12(B))。

【0153】その結果、本実施例の条件では、半導体層1202、1203とゲート絶縁膜1204との界面で熱酸化膜が形成され、ゲート絶縁膜1207が形成される。また、ハロゲン雰囲気での酸化の過程で、ゲート絶縁膜1204と半導体層1202、1203に含まれる不純物で、特に金属不純物元素はハロゲンと化合物を形成し、気相中に除去することができる。

【0154】以上の工程で作製されるゲート絶縁膜1207は、絶縁耐圧が高く半導体層1205、1206と

ゲート絶縁膜1207の界面は非常に良好なものであった。本願発明のTFTの構成を得るためには、以降の工程は実施例1、2、4に従えば良い。

【0155】[実施例9]本実施例では、実施例2と異なる工程順序で結晶質TFTを作製する例を図13に示す。まず、実施例2において、図2(A)で示される半導体層204、205、206は、実施例6で示す方法で作製する結晶質シリコン膜を用いる。このとき、結晶化の工程で用いられる触媒元素が半導体層中にわずかに残存している。その後の工程は、実施例1に従い図3

(B)に示すp型を付与する不純物添加の工程までを実施する。そして、レジストマスク258、259を除去する。

【0156】このとき、図13に示すように、nチャネル型TFTのソース領域230、237と、ドレイン領域231、238、241と、pチャネル型TFTのソース領域234、289と、ドレイン領域233、288とにはいずれも図3(A)の工程で添加されたリンが存在している。実施例1に従えばこのときリン濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であった。

【0157】この状態で、窒素雰囲気中で400～800℃、1～24時間、例えば550℃、4時間の加熱処理の工程を行う。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができる。さらに、前記リンが添加された領域がゲタリングサイトとなり、結晶化の工程の後残存していた触媒元素を偏析させることができる。その結果、チャネル形成領域から触媒元素を除去することができる。

【0158】図13の工程が終了したら、以降の工程は実施例1の工程に従い、図3(C)の状態を形成することにより、アクティブマトリクス基板を作製することができる。

【0159】[実施例10]本実施例では、本願発明のTFTにおけるゲート電極の構成の例を図14で示す。ゲート電極は、第1の導電層と、第1の導電層に接して形成される第2の導電層とから成っている。そして、第1の導電層は、一つまたは複数の導電層から形成されるものである。

【0160】図14(A)は、ゲート電極の第1の導電層のゲート絶縁膜に接して形成される導電層(A)1701をMo-Ti膜で形成し、その導電層(A)上に積層して、導電層(B)1702をTi膜で形成し、導電層(C)1703をAlを主成分とする膜で形成し、導電層(D)1704をTi膜で形成した構造を有している。ここで、導電層(A)の厚さは30～200nmの厚さに、また、導電層(B)～導電層(D)の厚さは50～100nmの厚さで形成することが望ましい。

【0161】ゲート絶縁膜に接する導電層(A)は、その上に形成する導電層の構成元素がゲート絶縁膜中にしみ込むのを防ぐバリア層としての役割を果たすものであ

り、Ti、Ta、W、Mo、などの高融点金属か、その合金材料を用いることが望ましい。また、図14(A)で形成された導電層(C)1703はAlを主成分とする膜であり、これはゲート電極の抵抗率を下げるために設けられる。そして、形成するAl膜の平坦性を高めるために、Sc、Ti、Siなどの元素を0.1～5at. %の割合で含有させたAl合金膜を用いると望ましい。いずれにしても、本願発明を10インチクラスかそれ以上の液晶表示装置に適用する場合には、ゲート電極の抵抗率を下げるために、AlまたはCuを主成分とする抵抗率の低い材料を用いることが望ましい。さらに、第1の導電層とゲート絶縁膜に接して形成される第2の導電層1705は、耐熱性を高めるために、Ti、Ta、W、Mo、などの高融点金属か、その合金材料を用いることが望ましい。

【0162】図14(B)は他の構成例であり、導電層(A)1706をMo-W合金膜またはW膜から成る一つの層で、第2の導電層1707をTi膜で形成するものである。第2の導電層1707はその他にTa、Mo、Wで形成しても良い。導電層(A)1706は厚さを50～100nmとすれば良い。

【0163】図14(C)は、ゲート電極の第1の導電層を構成する導電層(A)1708をTi膜で形成し、導電層(B)1709を銅(Cu)を主成分とする膜で形成し、導電層(C)1710をTi膜で形成するものである。Al膜と同様にCu膜を用いてもゲート電極およびゲート配線の抵抗率を下げる事が可能である。また、第2の導電層1711はTi、Mo、W、Taなどの膜で形成する。

【0164】図14(D)は、第1の導電層を構成する導電層(A)1712をTi膜で形成し、導電層(B)1713をAlを主成分とする膜で形成し、導電層(C)1714をTi膜で形成したものである。第2の導電層1715はTi、Mo、W、Taなどの膜で形成する。

【0165】図14(E)は、ゲート電極の第1の導電層を構成する導電層(A)1716をTi膜で形成し、その表面を窒化して窒化チタン(TiN)膜1720を設ける。TiN膜の厚さは、Ti膜の厚さ30～200nmに対して10～100nmとすれば良く、ここでは20nmとした。TiN膜はスパッタ法で導電層(A)1716のTi膜を形成するとき、アルゴンガス中に流量比で10～30%程度の窒素ガスを加えれば良く、このとき膜中の含有量を20～5at. %、好ましくは40at. %とすれば良い。そして導電層(B)1717をAlを主成分とする膜で形成し、導電層(C)1718をTi膜で形成する。この時、Ti膜の成膜前にTiN膜1721を形成しておいても良い。そして、第2の導電層1719をTi膜で形成する。この時も、Ti膜の成膜前にTiN膜1722を形成しておいても良

い。

【0166】図14(E)のように、TiN膜を導電層(B)1717との界面に設けることにより、TiとAlが直接反応することを防ぐことができる。このようなゲート電極の構成は、実施例1の熱活性化の工程や、実施例8で行われる加熱処理の工程に対して有効であり、300～700℃の範囲、好ましくは350～550℃の範囲でその工程を実施することができる。

【0167】図14(F)は、ゲート電極の第1の導電層を構成する導電層(A)1723をTi膜で形成し、導電層(B)1724をAlを主成分とする膜で形成し、第2の導電層1725をTa膜で形成するものである。ここでも同様に、導電層(B)1724と接する面にTiN膜1726およびTa₂N膜1727を形成する。Ta₂N膜は同様にスパッタ法でアルゴンガスに窒素を流量比で1～10%添加すれば良く、このときTa₂N膜中に含まれる窒素の量を35～60atomic%、好ましくは45～50atomic%含ませると良い。このような構成とすることで、図14(E)の構成例と同様に耐熱性を高めることができる。

【0168】このようなゲート電極の構成は実施形態1、2および実施例1、2、3、5のTFTと好適に組み合わせる用いることができる。

【0169】[実施例11]本実施例では、図16で示すL4を半導体層上とその周辺で異ならせる例について図18を用いて説明する。

【0170】図18において、半導体層1840上にはゲート電極の第1の導電層1841及び第2の導電層1842が形成されている。この時、第2の導電層1842は第1の導電層1841を覆い隠すように形成されるが、本明細書中では第1の導電層1841と重ならない部分の長さをL4と定義している。

【0171】本実施例の場合、半導体層の上ではL4の長さ(ここではWLDDと表す)を0.5～3μmとする。そして、配線部(半導体層の上以外の周辺部)ではL4'の長さ(ここではWLと表す)を0.1～1.5μmとする。

【0172】即ち、本実施例は半導体層の上よりも配線部の方において第2の導電層の線幅を狭くすることに特徴がある。なぜならば配線部ではL4に相当する領域は必要なく、配線の高密度集積化を妨げる要因となってしまうため、可能な限り線幅を狭くした方が好ましい。

【0173】従って、本実施例の構成を用いることで配線の高密度集積化が容易となり、ひいては半導体装置の高密度集積化が可能となる。なお、本実施例の構成は実施例1～10のいずれの構成とも自由に組み合わせることが可能である。

【0174】[実施例12]本実施例では、実施例1、2のアクティブマトリクス基板に設けられた保持容量を形成する工程の他の一例を示す。図2(B)の状態の基板

に、フォトリソist膜をマスクとして、nチャネル型TFTを形成する領域をレジストマスク225、295で覆って、pチャネル型TFTが形成される領域と、保持容量が形成される領域とに、p型を付与する不純物添加の工程を行う。ここでは実施例1と同様に 2×10^{20} atoms/cm³の濃度にホロンを添加する。そして、図19に示すようにホロンが高濃度に添加された第3の不純物領域227、228、296が形成される。

【0175】保持容量が形成される領域の半導体層に高濃度のホロン(B)が添加されることで、抵抗率を下げることができ、好ましい状態となる。尚、以降の工程は実施例1に従えば良い。

【0176】[実施例13]本実施例では、計算機シミュレーションを用い、本願発明の構成について、その妥当性を検証した。ここでは、ISE(Integrated system engineering AG)半導体デバイスシミュレータ総合パッケージを用いた。

【0177】ここで計算に用いたTFTの構造を図20に示す。TFTの構造は、チャネル長10μm、チャネル幅10μm、で低濃度不純物領域(LDD)の長さを2.5μm固定とした。また、その他の条件としては、低濃度不純物領域(n⁻)のリン濃度を 4.2×10^{17} 個/cm³、ソース領域とドレイン領域(n⁺)のリン濃度を 2×10^{20} 個/cm³、半導体層の厚さ50nm、ゲート絶縁膜の厚さを150nm、ゲート電極の厚さを400nmとした。そして計算では、低濃度不純物領域(n⁻)が、ゲート電極と完全にオーバーラップさせたGOLD構造の場合と、0.5μmピッチで外側にずらして、一部がオーバーラップさせた構造(GOLD+LDD)との場合について調べた。

【0178】図21は、チャネル形成領域の中心を基準として、そのドレイン側の電界強度分布を計算した結果を示す。ここではゲート電圧V_g=-8V、ドレイン電圧V_{ds}=16Vとして計算した。その結果、低濃度不純物領域(n⁻)がゲート電極と完全にオーバーラップしたGOLD構造の場合、ゲートドレイン端での電界強度が最も強くなり、低濃度不純物領域(n⁻)領域をドレイン側にずらして、オーバーラップ量を減らすと電界強度が緩和される結果が得られた。

【0179】また図22は、ドレイン電圧V_{ds}=16V一定とした、V_g-I_d(ゲート電圧-ドレイン電流)特性を計算した結果を示している。GOLD構造の場合オフ電流の増大があるが、低濃度不純物領域(n⁻)領域をドレイン側にずらして、オーバーラップ量を減らすとオフ電流の増加を防ぐことができる様子を示している。

【0180】また図23と図24は、低濃度不純物領域(n⁻)が、ゲート電極と完全にオーバーラップしたGOLD構造と、0.5μm外側にずらして、一部がオーバーラップさせた構造(GOLD+LDD)との場合に

ついて、チャネル形成領域、ソース領域、ドレイン領域の電子濃度分布とホール濃度分布について計算した結果を示している。図では濃度分布を等高線で示している。図23では、低濃度不純物領域(n⁺)の表面がゲート電極とオーバーラップしている領域でホール濃度が高くなっている様子をみることができる。このとき、このホール濃度が高いことが起因するオフ電流の増加がよそうされる。この様子は、図25のホール電流としてみるることができる。一方、図24では、GOLD+LDD構造によりゲート電極とドレイン端での電界強度が緩和されるため、ホール濃度は高くない。また、電子濃度の分布も緩やかとなり、LDD領域の存在のためトンネル電流も阻止されるため、オフ電流の増加もなくなる。同様に図26では電子電流およびホール電流とも低減されている。

【0181】以上の計算機シミュレーションの結果は、本願発明が課題としているGOLD構造の現象を良く説明している。そして、本願発明の構成をとることによって、オフ電流の増大を防ぐことができることを示している。

【0182】[実施例14]本実施例では、本願発明のTFT回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図15、図40、図41で説明する。

【0183】このような半導体装置には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図15図40、図41に示す。

【0184】図15(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及びアクティブマトリクス基板を備えた表示装置9004に適用することができる。

【0185】図15(B)はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明は音声入力部9103、及びアクティブマトリクス基板を備えた表示装置9102、受像部9106に適用することができる。

【0186】図15(C)はモバイルコンピュータであり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明は受像部9203、及びアクティブマトリクス基板を備えた表示装置9205に適用することができる。

【0187】図15(D)はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に

適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0188】図15(E)は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり、本願発明はこの適用することができる。

【0189】図40(A)はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。

【0190】図40(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0191】図40(C)はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。

【0192】図27(A)はフロント型プロジェクターであり、表示装置2601、スクリーン2602で構成される。本願発明は表示装置やその他の信号制御回路に適用することができる。

【0193】図27(B)はリア型プロジェクターであり、本体2701、表示装置2702、ミラー2703、スクリーン2704で構成される。本願発明は表示装置やその他の信号制御回路に適用することができる。

【0194】なお、図27(C)は、図27(A)及び図27(B)中における表示装置2601、2702の構造の一例を示した図である。表示装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図27(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0195】また、図27(D)は、図27(C)中における光源光学系2810の構造の一例を示した図である。本実施例では、光源光学系2810は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で

構成される。なお、図27(1)に示した光顕光学系は一例であって特に限定されない。例えば、光顕光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。また、本願発明はその他にも、イメージセンサやEL型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【0196】[実施例15]本実施例では、本願発明を用いてEL(エレクトロルミネッセンス)表示装置を作製した例について説明する。

【0197】図33(A)は本願発明を用いたEL表示装置の上面図である。図33(A)において、4010は基板、4011は画素部、4012はソース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0198】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材(ハウジング材ともいう)7000、密封材(第2のシーリング材)7001が設けられている。

【0199】また、図33(B)は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャンネル型TFTとpチャンネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0200】本願発明は、駆動回路用TFT4022、画素部用TFT4023に際して用いることができる。

【0201】本願発明を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0202】次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料

がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0203】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0204】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0205】なお、本実施例では陰極4030として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMg/Ag電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0206】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4028のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0207】このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0208】さらに、EL素子部を囲むようにして、カバー材7000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封

材（第2のシーリング材）7001が形成される。

【0209】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0210】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0211】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0212】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0213】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0214】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通してFPC4017に電気的に接続される。

【0215】【実施例16】本実施例では、本願発明を用いて実施例15とは異なる形態のEL表示装置を作製した例について、図34（A）、（B）を用いて説明する。図33（A）、（B）と同じ番号のものは同じ部分を指しているため説明は省略する。

【0216】図34（A）は本実施例のEL表示装置の上面図であり、図34（A）をA-A'で切断した断面図を図34（B）に示す。

【0217】実施例15に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0218】さらに、EL素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、

エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0219】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0220】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0221】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0222】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0223】次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面（露出面）を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材（接着剤としても機能する）6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0224】また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電気的に接続される。

【0225】【実施例17】実施例15および16のような構成からなるEL表示パネルにおいて、本願発明を用いることができる。画素部の詳細な断面構造を図35に、上面構造を図36（A）に、回路図を図36（B）に示す。図35、図36（A）及び図36（B）では共通の符号を用いるので互いに参照すれば良い。

【0226】図35において、基板3501上に設けられたスイッチング用TFT3502は本願発明のnチャ

ネル型TFTを用いて形成される(実施例1~12参照)。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のpチャネル型TFTを用いて形成しても構わない。

【0227】また、電流制御用TFT 3503は本願発明のnチャネル型TFTを用いて形成される。このとき、スイッチング用TFT 3502のドレイン配線35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT 3502のゲート電極39a、39bを電気的に接続するゲート配線である。

【0228】このとき、電流制御用TFT 3503が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

【0229】また、本実施例では電流制御用TFT 3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0230】また、図36(A)に示すように、電流制御用TFT 3503のゲート電極37となる配線は3504で示される領域で、電流制御用TFT 3503のドレイン配線40と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TFT 3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線(電源線)3506に接続され、常に一定の電圧が加えられている。

【0231】スイッチング用TFT 3502及び電流制御用TFT 3503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできる

だけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0232】また、43は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、電流制御用TFT 3503のドレインに電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0233】また、絶縁膜(好ましくは樹脂)で形成されたバンク44a、44bにより形成された溝(画素に相当する)の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

【0234】なお、PPV系有機EL材料としては様々な型のものがあるが、例えばH. Shenk, H. Becker, O. Geisen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0235】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm(好ましくは40~100nm)とすれば良い。

【0236】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【0237】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0238】本実施例では発光層45の上にPEDOT(ポリチオフェン)またはPANI(ポリアニリン)でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって(TFTの上方に向かって)放射されるため、陽極は透光性でなければなら

い。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0239】陽極47まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図36Aに示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0240】ところで、本実施例では、陽極47の上にさらに第2バッシベーション膜48を設けている。第2バッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0241】以上のように本願発明のEL表示パネルは図35のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0242】なお、本実施例の構成は、実施例1～12構成と自由に組み合わせて実施することが可能である。また、実施例14の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0243】[実施例18]本実施例では、実施例17に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図37を用いる。なお、図35の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0244】図37において、電流制御用TFT3503は本願発明のpチャネル型TFTを用いて形成される。作製プロセスは実施例1～12を参照すれば良い。

【0245】本実施例では、画素電極（陽極）50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0246】そして、絶縁膜でなるハック51a、51bが形成された後、溶液塗布によりポリビニルカルbazolでなる発光層52が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層53、アルミニウム合金でなる陰極54が

形成される。この場合、陰極54がバッシベーション膜としても機能する。こうしてEL素子3701が形成される。

【0247】本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0248】なお、本実施例の構成は、実施例1～12の構成と自由に組み合わせて実施することが可能である。また、実施例14の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0249】[実施例19]本実施例では、図36（B）に示した回路図とは異なる構造の画素とした場合の例について図38（A）～（C）に示す。なお、本実施例において、3801はスイッチング用TFT3802のソース配線、3803はスイッチング用TFT3802のゲート配線、3804は電流制御用TFT、3805はコンデンサ、3806、3808は電流供給線、3807はEL素子とする。

【0250】図38（A）は、二つの画素間で電流供給線3806を共通とした場合の例である。即ち、二つの画素が電流供給線3806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0251】また、図38（B）は、電流供給線3808をゲート配線3803と平行に設けた場合の例である。なお、図38（B）では電流供給線3808とゲート配線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3808とゲート配線3803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0252】また、図38（C）は、図38（B）の構造と同様に電流供給線3808をゲート配線3803と平行に設け、さらに、二つの画素を電流供給線3808を中心に線対称となるように形成する点に特徴がある。また、電流供給線3808をゲート配線3803のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0253】なお、本実施例の構成は、実施例1～12、15または16の構成と自由に組み合わせて実施することが可能である。また、実施例14の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0254】[実施例20]実施例17に示した図36（A）、36（B）では電流制御用TFT3503のゲートにかかる電圧を保持するためにコンデンサ3504を設ける構造としているが、コンデンサ3504を省略

することも可能である。実施例17の場合、電流制御用TFT3503として実施例1~12に示すような本願発明のnチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3504の代わりとして積極的に用いる点に特徴がある。

【0255】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0256】また、実施例19に示した図38(A)、(B)、(C)の構造においても同様に、コンデンサ3805を省略することは可能である。

【0257】なお、本実施例の構成は、実施例1~12、15~19の構成と自由に組み合わせて実施することが可能である。また、実施例14の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0258】[実施例21]実施例1または実施例4で示したの液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0259】等方相-コレステリック相-カイラルスメクティックC相転移系列を示す強誘電性液晶(FLC)を用い、DC電圧を印加しながらコレステリック相-カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図39に示す。図39に示すような強誘電性液晶による表示モードは「Hall-V字スイッチングモード」と呼ばれている。図39に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「Hall-V字スイッチングモード」については、寺田らの「Hall-V字スイッチングモードFLCD」、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの「強誘電性液晶による時分割フルカラーLCD」、液晶第3巻第3号第190頁に詳しい。

【0260】図39に示されるように、このような強誘

電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本願発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0261】また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶(AFLC)という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。

【0262】また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0263】なお、このような無しきい値反強誘電性混合液晶を本願発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0264】

【発明の効果】本願発明を実施することで、画素マトリクス回路の画素TFTに15~20Vのゲート電圧を印加して駆動させても、安定した動作を得ることができる。その結果、結晶質TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置やEL表示装置などの画素マトリクス回路や、その周辺に設けられる駆動回路の信頼性を高め、長時間の使用に耐える液晶表示装置やEL表示装置を得ることができる。

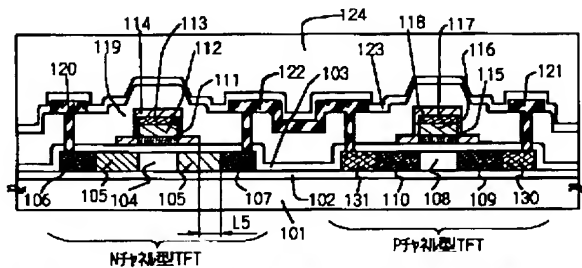
【図面の簡単な説明】

- 【図1】 本実施形態のTFTの断面図。
- 【図2】 TFTの作製工程を示す断面図。
- 【図3】 TFTの作製工程を示す断面図。
- 【図4】 TFTの作製工程を示す断面図。
- 【図5】 TFTの作製工程を示す断面図。
- 【図6】 TFTの作製工程を示す断面図。
- 【図7】 アクティブマトリクス基板の斜視図。
- 【図8】 画素マトリクス回路とCMOS回路の上面図
- 【図9】 結晶質シリコン膜の作製工程を示す図。
- 【図10】 結晶質シリコン膜の作製工程を示す図。
- 【図11】 結晶質シリコン膜の作製工程を示す図。
- 【図12】 結晶質シリコン膜の作製工程を示す図。
- 【図13】 TFTの作製工程を示す断面図。
- 【図14】 ゲート電極の構成を示す図。
- 【図15】 電子機器の一例を示す図。
- 【図16】 ゲート電極の構成を示す図。
- 【図17】 TFTの構造と電気的特性を説明する図。

- 【図18】 ゲート電極の構成を示す図。
 【図19】 TFTの作製工程を示す断面図。
 【図20】 シュミレーションの基本構造を示す図。
 【図21】 チャンネル長方向の電界強度分布のシュミレーション結果の図。
 【図22】 ゲート電圧ドレイン電流特性のシュミレーション結果の図。
 【図23】 電子・ホール濃度分布のシュミレーション結果の図。
 【図24】 電子・ホール濃度分布のシュミレーション結果の図。
 【図25】 電子・ホール電流密度分布のシュミレーション結果の図。
 【図26】 電子・ホール電流密度分布のシュミレーション結果の図。
 【図27】 プロジェクターの構成を説明する図。
 【図28】 本実施形態のTFTの断面図。
 【図29】 TFTの作製工程を示す断面図。
 【図30】 TFTの作製工程を示す断面図。

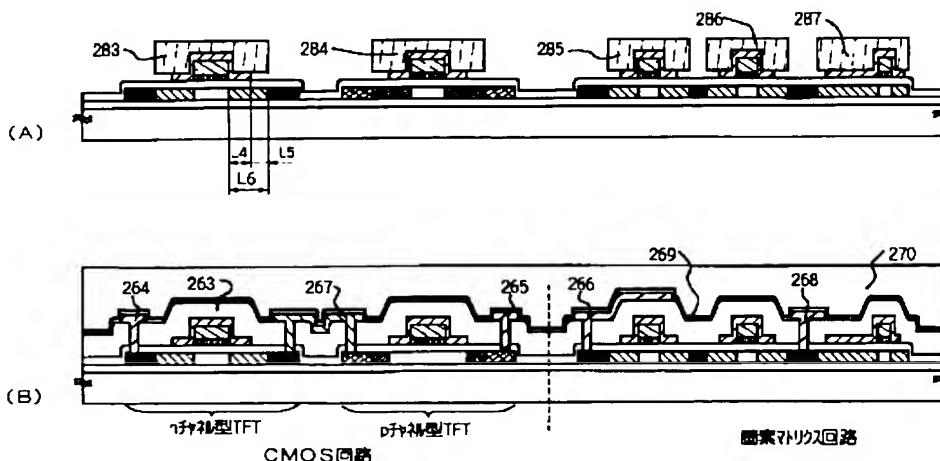
- 【図31】 ゲート電極の構成を示す図。
 【図32】 レーザーアニール装置の構成を説明する図。
 【図33】 アクティブマトリクス型のEL表示装置の構成を示す図。
 【図34】 アクティブマトリクス型のEL表示装置の構成を示す図。
 【図35】 アクティブマトリクス型のEL表示装置の画素部の構成を示す断面図。
 【図36】 アクティブマトリクス型のEL表示装置の画素部の構成を示す上面図と回路図。
 【図37】 アクティブマトリクス型のEL表示装置の画素部の構成を示す断面図。
 【図38】 アクティブマトリクス型のEL表示装置の画素部の構成を示す回路図。
 【図39】 反強誘電性混合液晶の光透過率特性の一例を示す図。
 【図40】 電子機器の一例を示す図。

【図1】

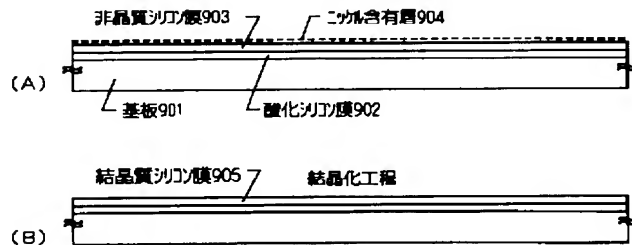


101:基板、102:下地膜、103:ゲート絶縁膜、104、108:非晶形成領域、
 105:第1の不純物領域、106、107:第2の不純物領域、
 109、110:第3の不純物領域、130、131:第3の不純物領域、
 111、115:導電層(A)、112、116:導電層(B)、113、117:導電層(C)、
 114、118:第2の導電層、119:第1の層間絶縁膜、120、121:ソース配線、
 122:ドレイン配線、123:パッシベーション膜、124:第2の層間絶縁膜

【図4】



【図9】



【図18】

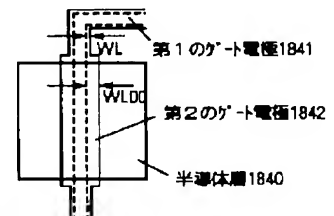


Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (A), (B), and (C), illustrating the manufacturing process.

- (A) Initial Structure:** Shows a substrate (201) with a lower insulating film (202) and a gate insulating film (203). Conductive layers (204, 205, 206) are formed on the substrate. Conductive patterns (207, 208, 209, 210, 211) are formed on the conductive layers. A gate electrode (212) is formed on the gate insulating film.
- (B) n-type Impurity Addition:** An n-type impurity is added to the conductive layers (204, 205, 206) at a low temperature. This results in the formation of n-type regions (218, 219, 220, 221, 222, 223, 224) in the conductive layers.
- (C) p-type Impurity Addition:** A p-type impurity is added to the conductive layers (204, 205, 206) at a high temperature. This results in the formation of p-type regions (225, 226) in the conductive layers. The p-type regions (225, 226) are formed in the conductive layers (204, 205, 206) and are in contact with the n-type regions (218, 219, 220, 221, 222, 223, 224).

204, 205, 206: 半導体層、207, 208, 209, 210, 211: 導電層 (A)、212, 213, 214, 215, 216: 導電層 (B)、225, 226: p型半導体層 (C)

Figure 1 illustrates the cross-sectional structure of a semiconductor device in three stages (A, B, and C). The device includes an n+ type TFT and a CMOS circuit.

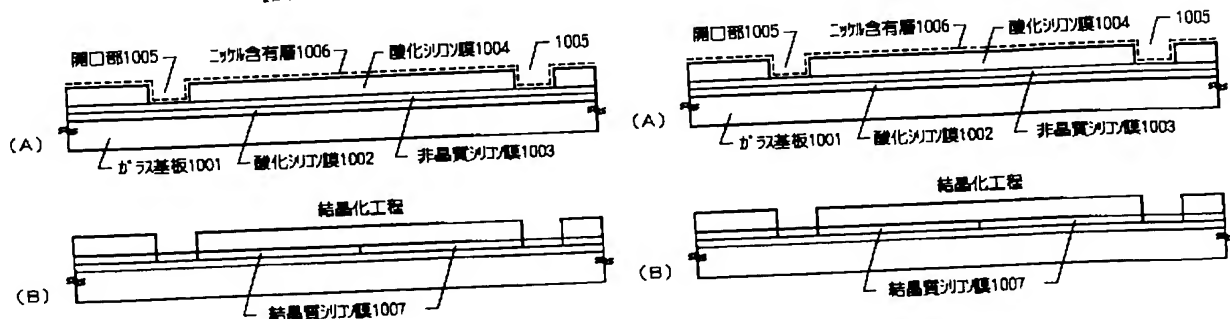
(A) Initial Structure: Shows the initial structure with n+ regions (283, 284) and various layers (230-247). The n+ type TFT is formed on a substrate (230) with a gate stack (283, 284) and a passivation layer (247). The CMOS circuit is formed on a substrate (230) with a gate stack (283, 284) and a passivation layer (247).

(B) Intermediate Structure: Shows the intermediate structure with a gate layer (248-257) and a passivation layer (269). The gate layer (248-257) is formed on the n+ regions (283, 284) and the CMOS circuit. The passivation layer (269) is formed on the gate layer (248-257).

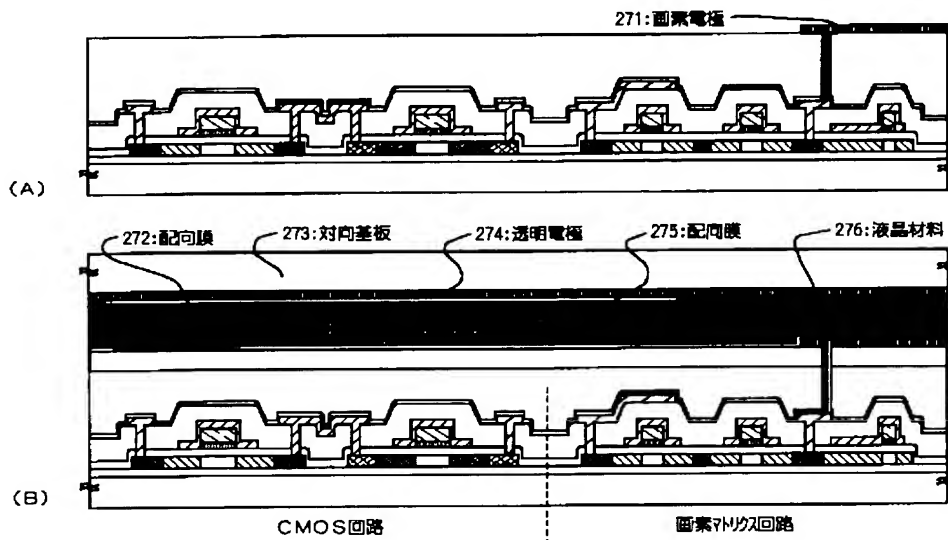
(C) Final Structure: Shows the final structure with a gate stack (264-268) and a passivation layer (270). The gate stack (264-268) is formed on the n+ regions (283, 284) and the CMOS circuit. The passivation layer (270) is formed on the gate stack (264-268).

The device includes an n+ type TFT and a CMOS circuit. The n+ type TFT is formed on a substrate (230) with a gate stack (283, 284) and a passivation layer (247). The CMOS circuit is formed on a substrate (230) with a gate stack (283, 284) and a passivation layer (247).

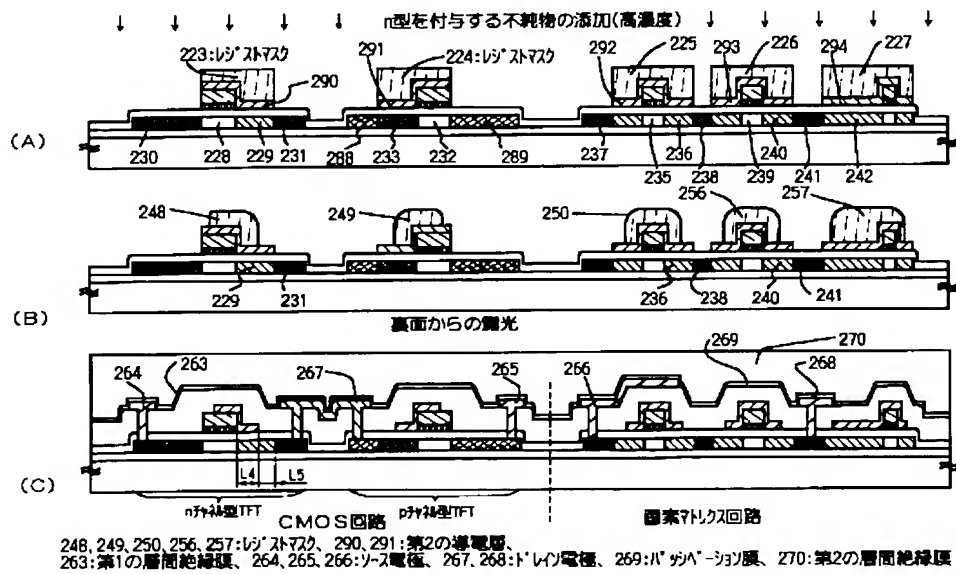
【图 11】



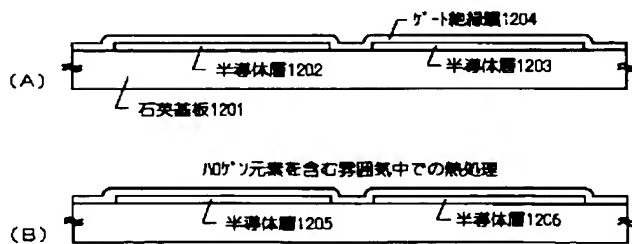
【図5】



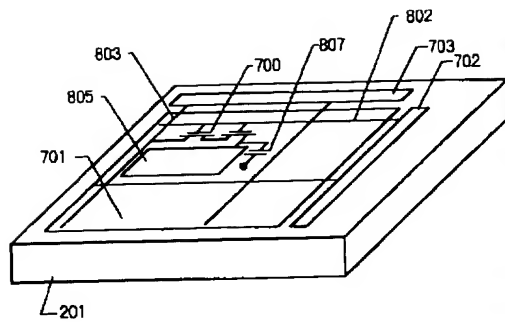
【図6】



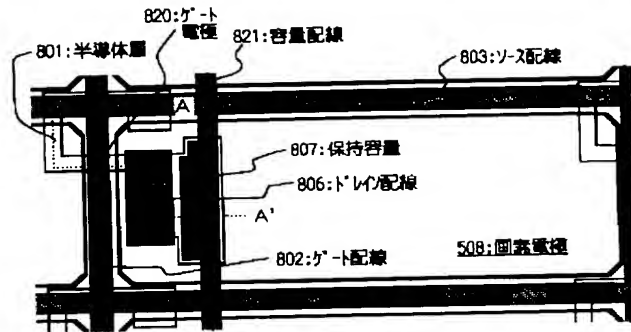
【図12】



【図7】



【図8】



(A) 画素マトリクス回路上面図

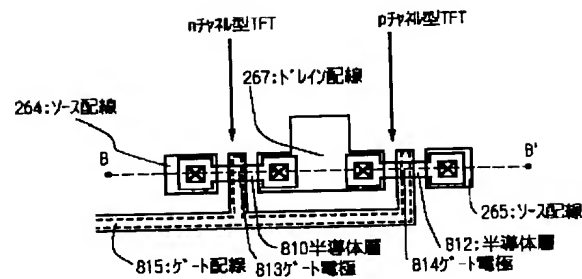
201:基板

700:画素TFT

701:画素マトリクス回路

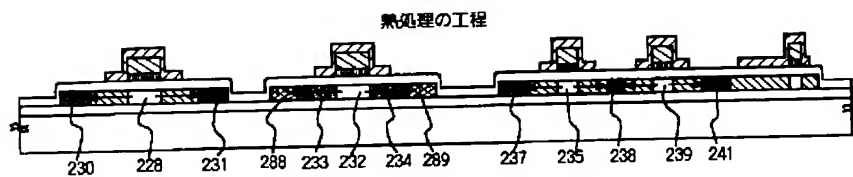
702:定電圧(ゲート)線駆動回路、703:定電圧(ソース)線駆動回路

802:ゲート配線、803:ソース配線、805:画素電極、807:保持容量

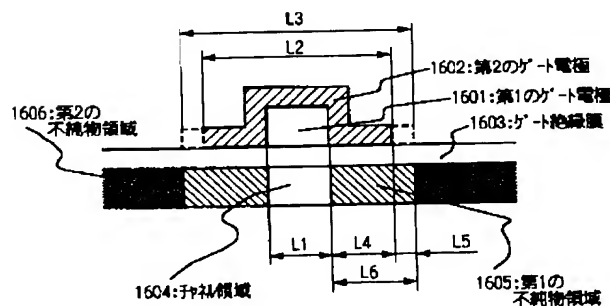


(B) CMOS回路上面図

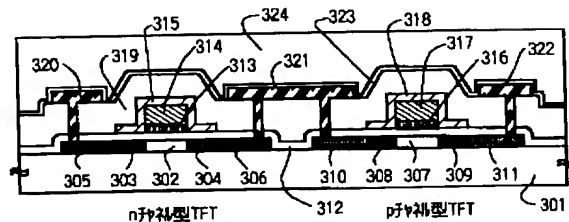
【図13】



【図16】

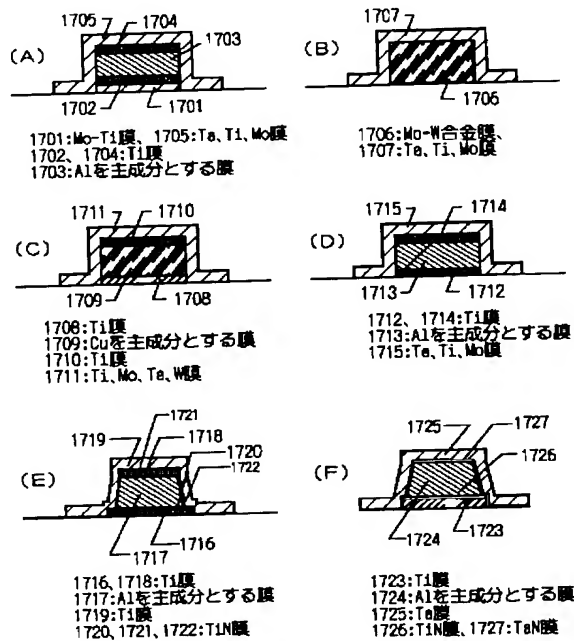


【図28】

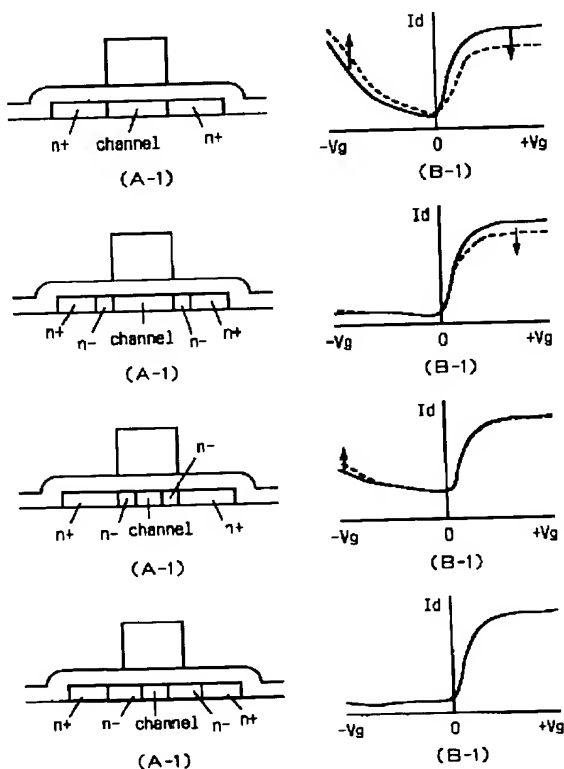


301:基板、302、307:チャネル形成領域、303、304:第1の不純物領域、
 305:ソース領域、306:ドレイン領域、308、309:第2の不純物領域、
 310:ソース領域、311:ドレイン領域、312:ゲート配線、313、316:導電層(A)、
 314、317:導電層(B)、315、318:第2の導電層、319:第1の層間絶縁膜、
 320、322:ソース配線、321:ドレイン配線、323:ゲート配線、324:第2の層間絶縁膜

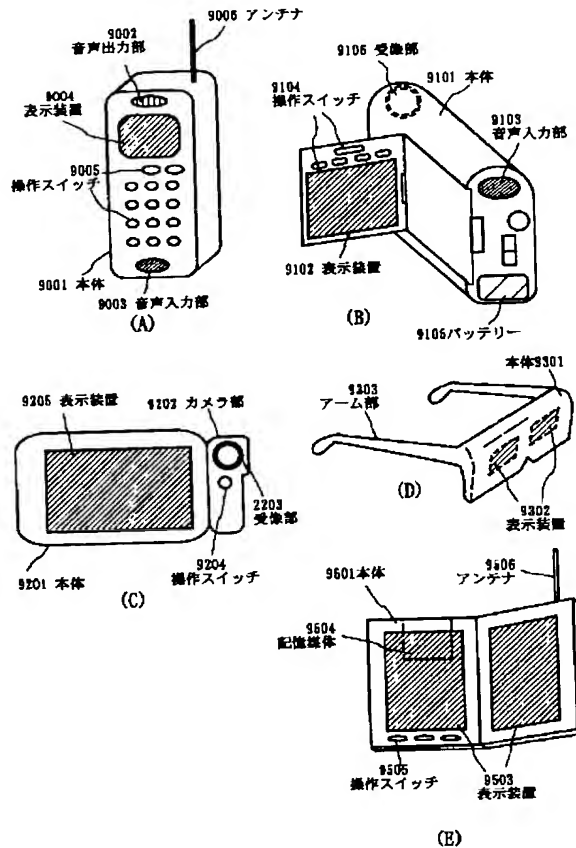
【図14】



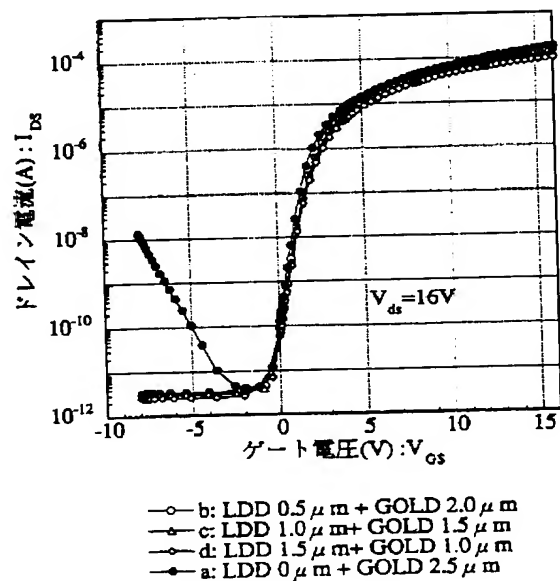
【図17】



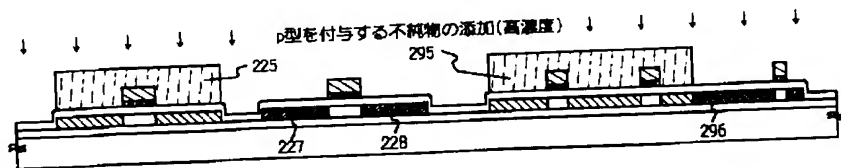
【図15】



【図22】

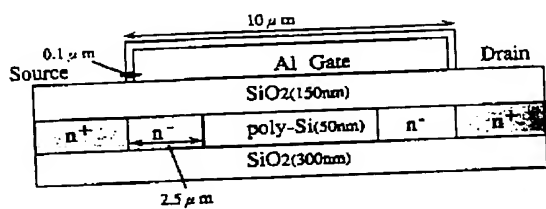


【図19】

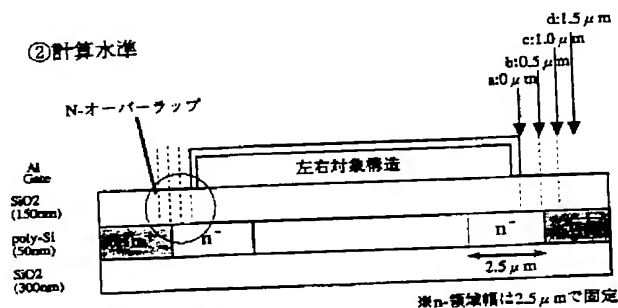


【図20】

① シミュレーション基本構造



② 計算水準

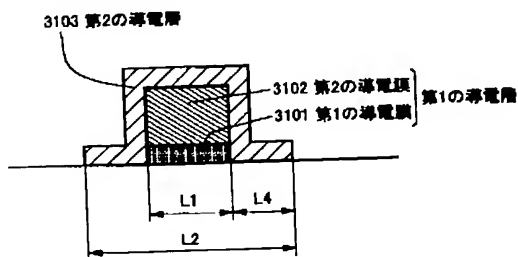


※n-領域幅は2.5 μmで固定

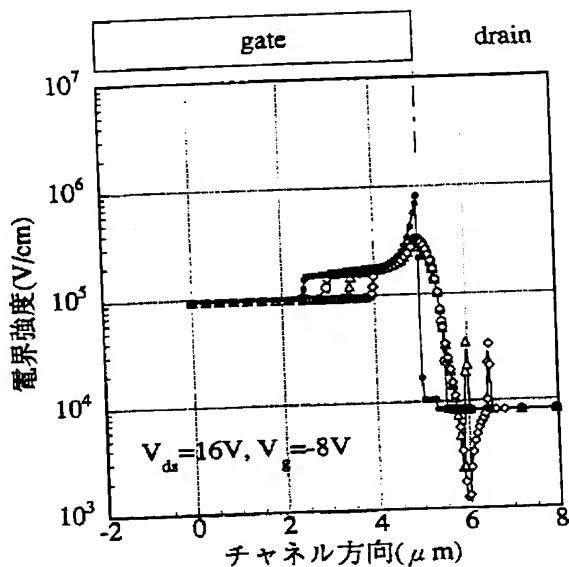
有効n-領域濃度(activated conc.): $4.2E17/cm^3$
 有効n+領域濃度(activated conc.): $2E20/cm^3$

n-領域幅は2.5 μmで固定

【図31】



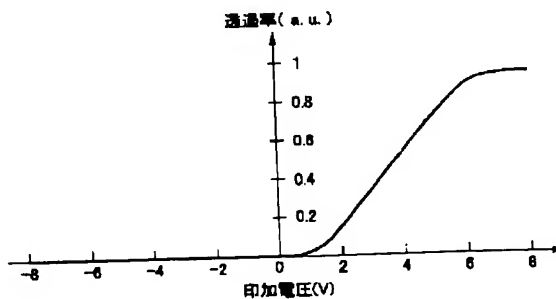
【図21】

n有効濃度: $4.2E17/cm^3$

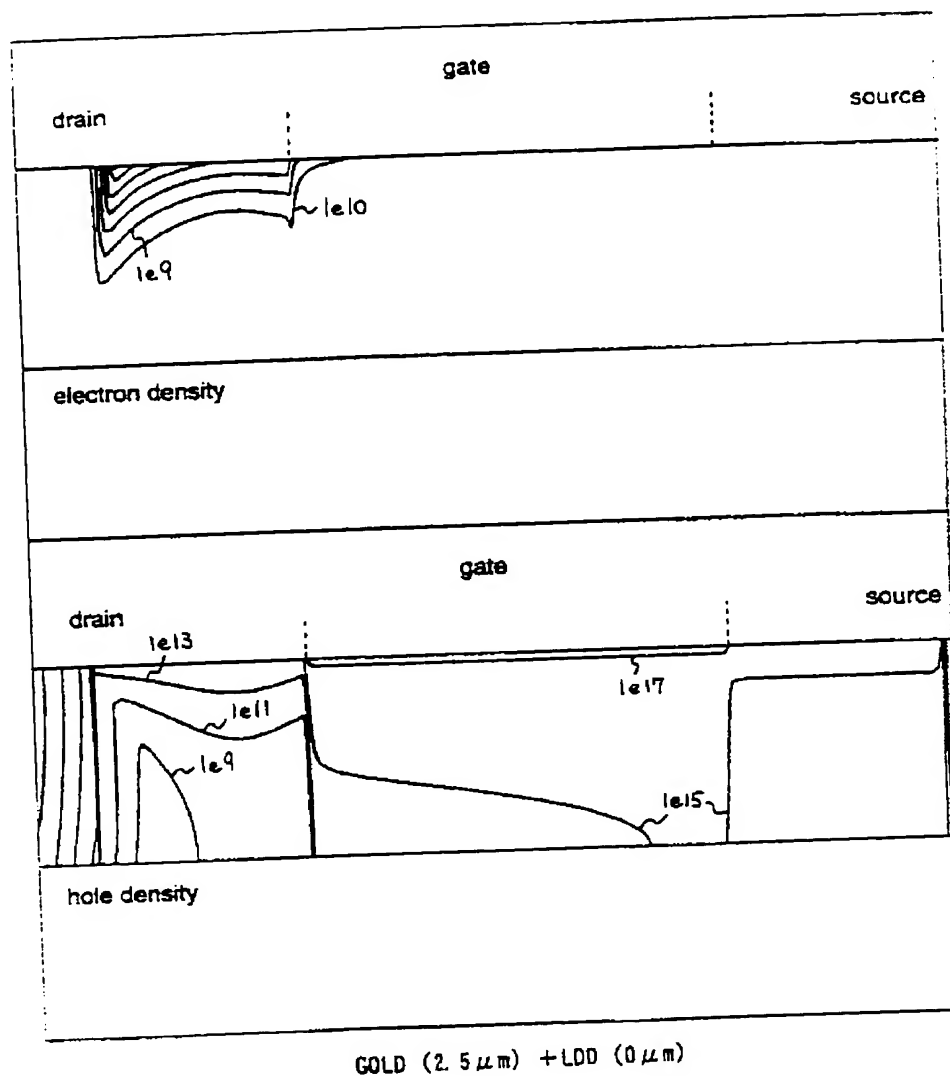
n幅は2.5 μm固定

- b: LDD 0.5 μm + GOLD 2.0 μm
- △ c: LDD 1.0 μm + GOLD 1.5 μm
- ◇ d: LDD 1.5 μm + GOLD 1.0 μm
- a: LDD 0 μm + GOLD 2.5 μm

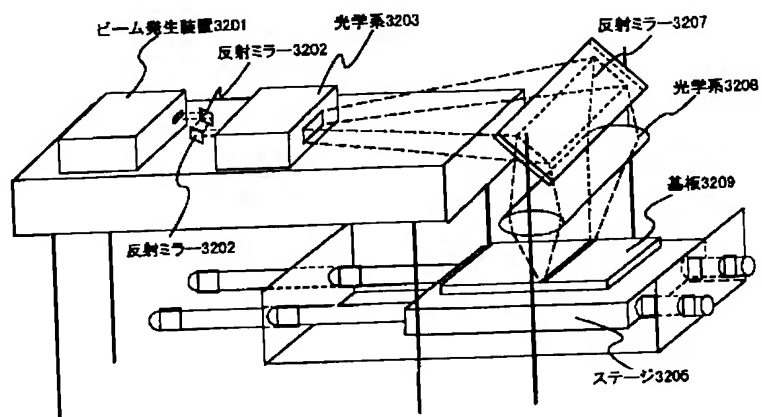
【図39】



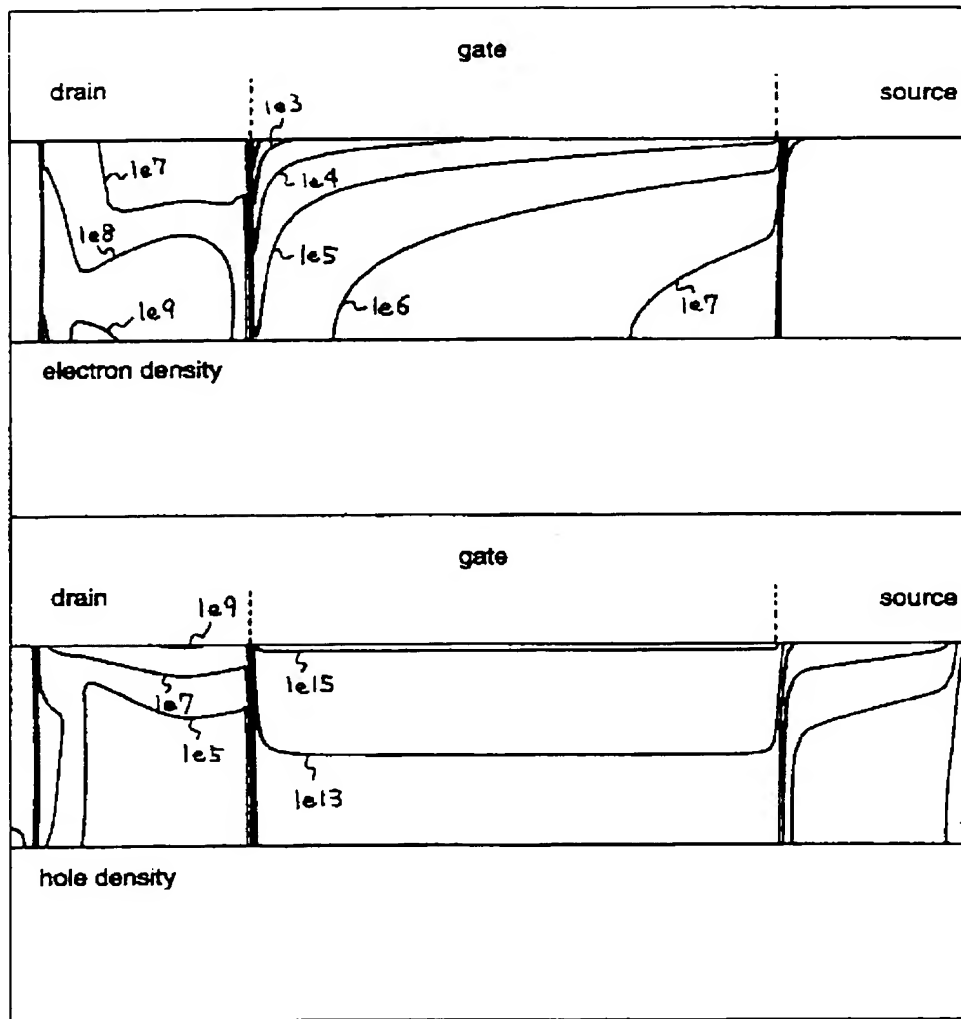
【図23】



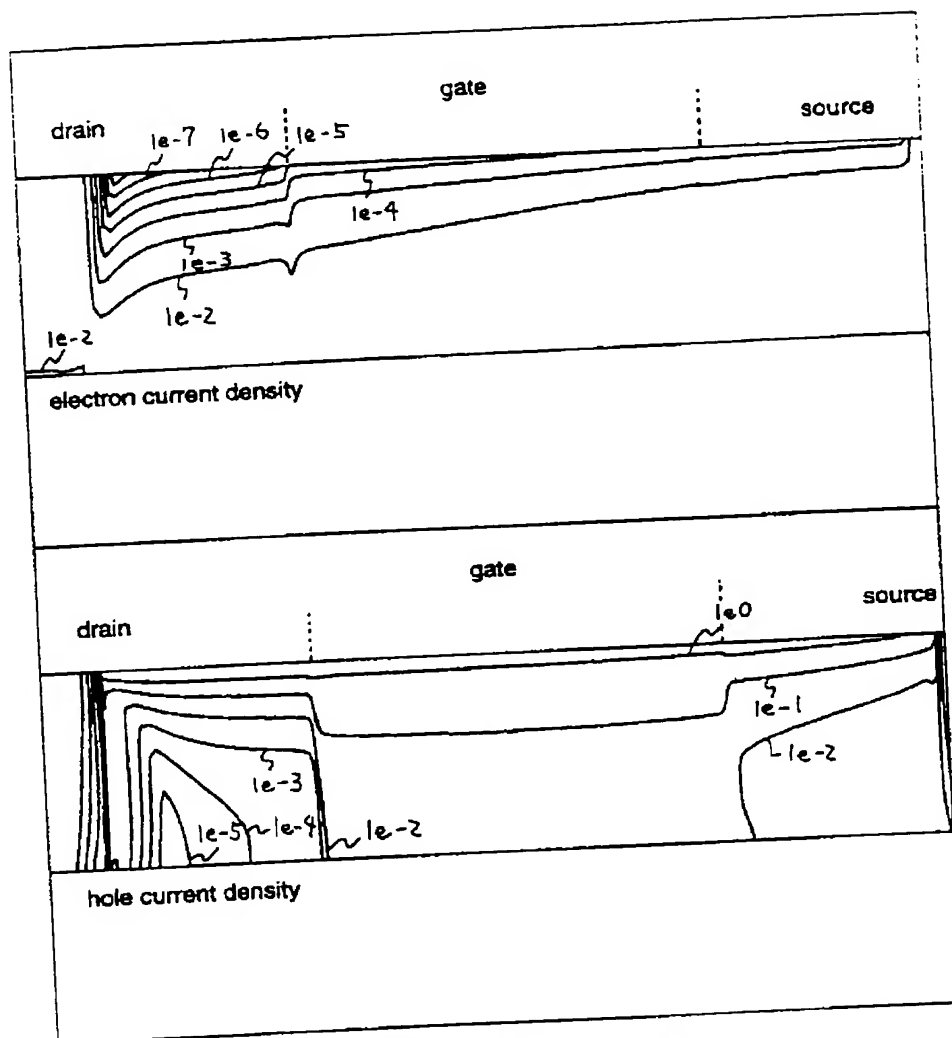
【図32】



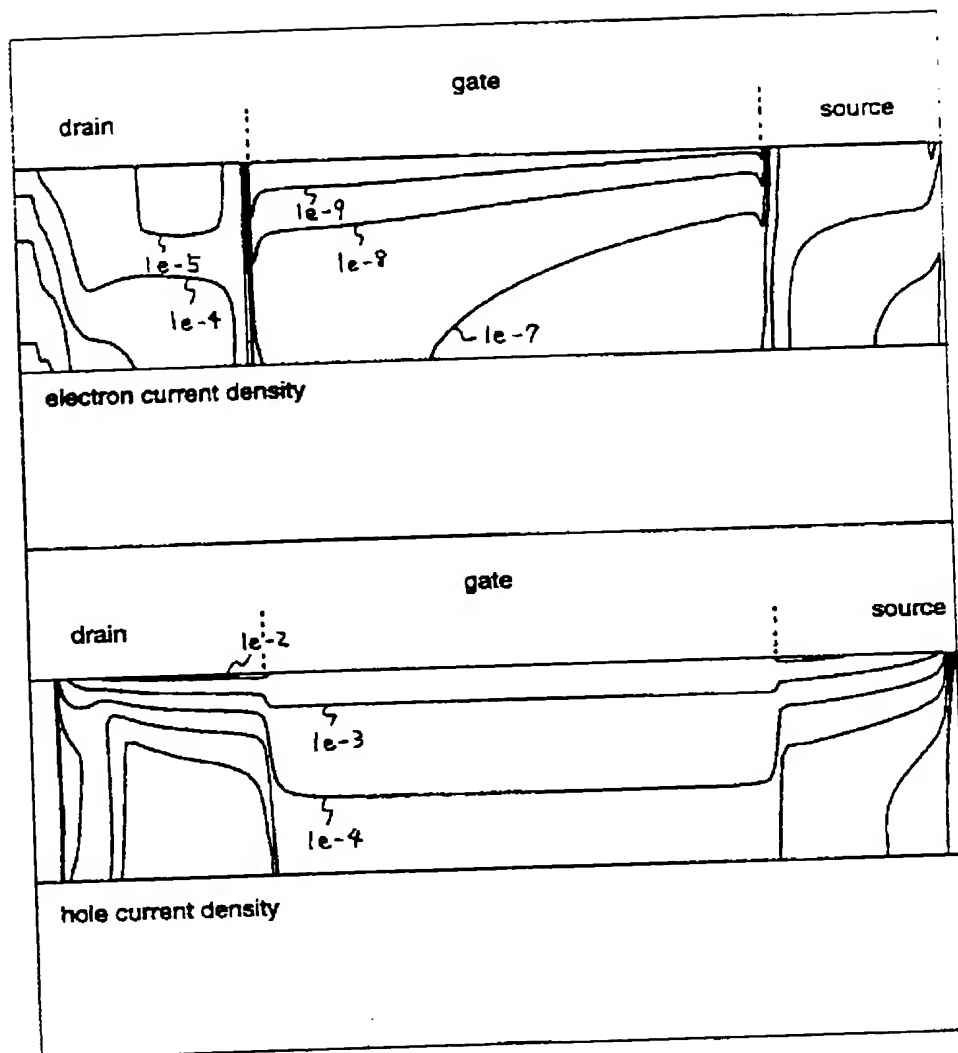
【図24】

GOLD (2.0 μm) + LDD (0.5 μm)

【図25】

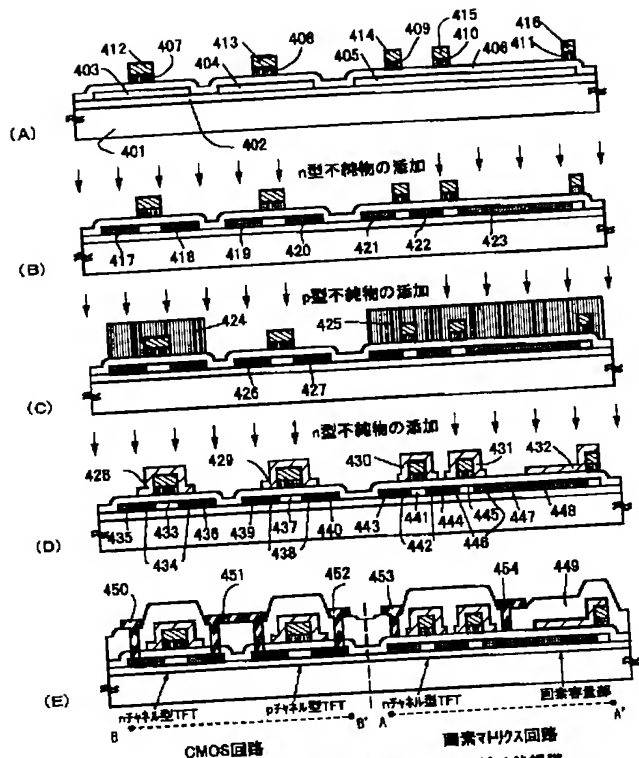
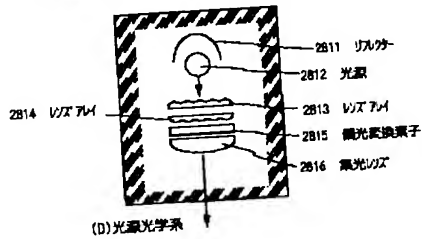
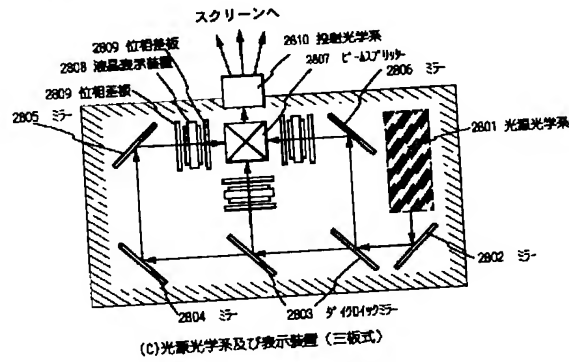
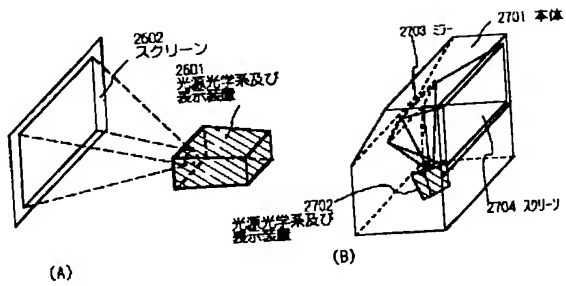
GOLD ($2.5\mu\text{m}$) + LDD ($0\mu\text{m}$)

【図26】

GOLD ($2.0\mu\text{m}$) + LDD ($0.5\mu\text{m}$)

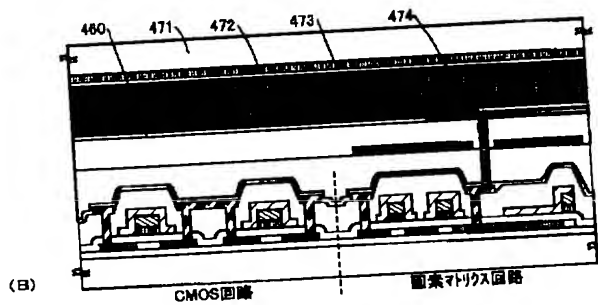
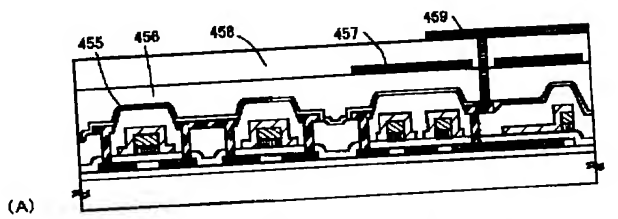
【図29】

【図27】



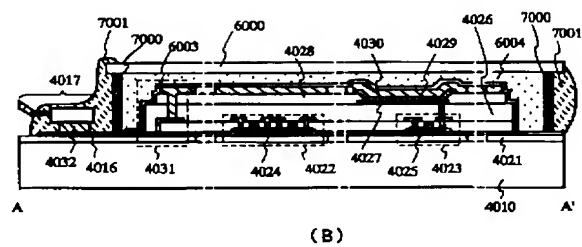
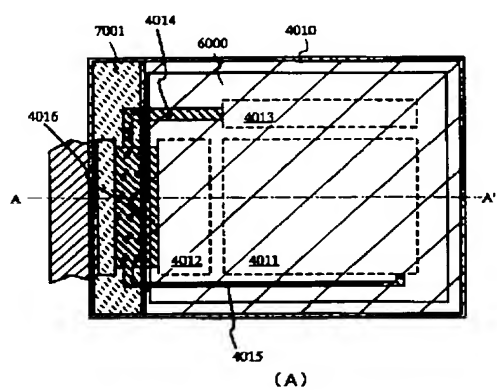
401:基板、402:下地膜、403, 404, 405:半導体膜、406:ゲート絶縁膜、
407, 408, 409, 410, 411:導電層(A)、412, 413, 414, 415, 416:導電層(B)、
424, 425:レジストマスク、428, 429, 430, 431:第2の導電層、432:容量配線、
433, 427, 441, 442:チャネル形成領域、434, 438, 442, 446:第1の不純物領域、
436, 443:ソース領域、436, 447:ドレイン領域、438:第1の不純物領域、
439:ソース領域、440:ドレイン領域、448:低温度不純物領域、
449:第1の層間絶縁膜、450, 452, 453:ソース配線、451, 454:ドレイン配線

【図30】

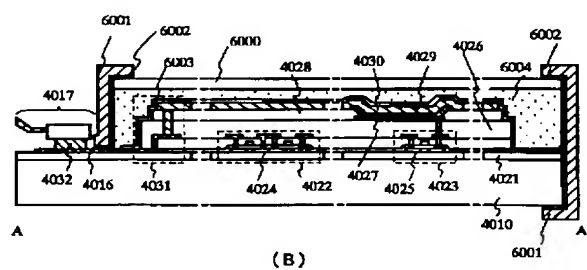
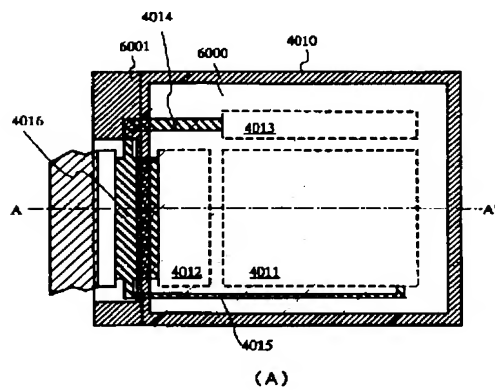


455:パッシベーション膜、456:第2の層間絶縁膜、457:透光膜、
458:第3の層間絶縁膜、459, 473:画素電極、460, 473:配向膜、
471:対向基板、474:液晶材料

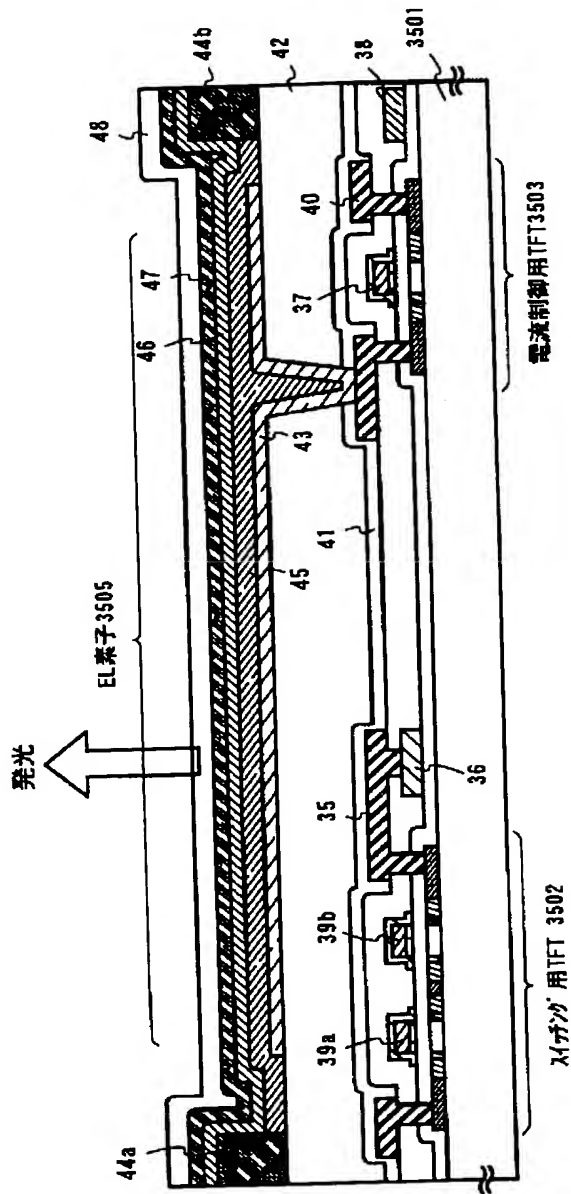
【図33】



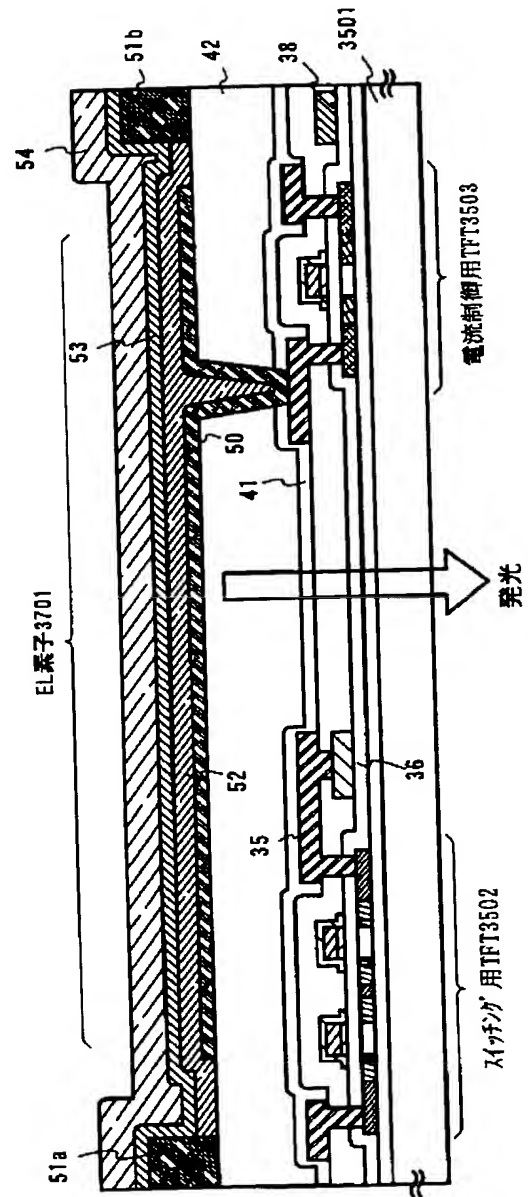
【図34】



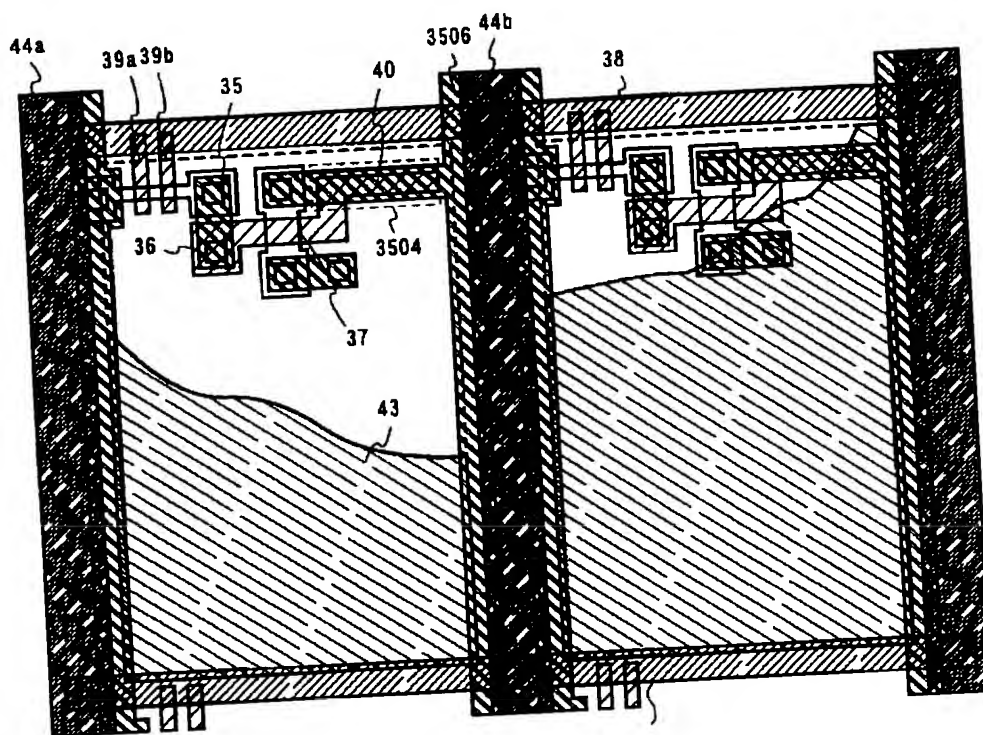
【図35】



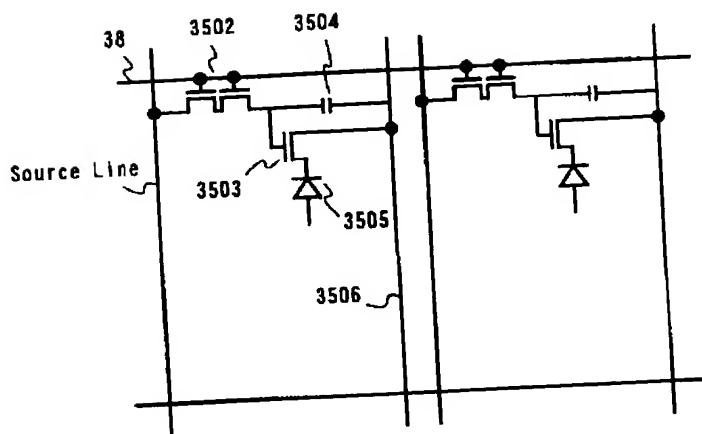
【図37】



【図36】

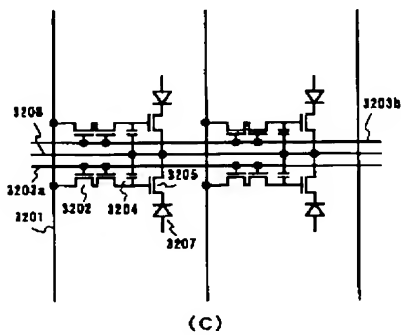
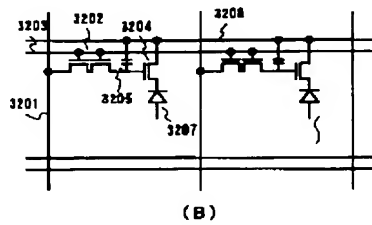
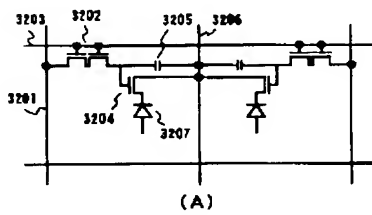


(A)



(B)

【図38】



【図40】

